

ŘADA B
PRO KONSTRUKTÉRY

ČASOPIS
PRO ELEKTRONIKU
A AMATÉRSKÉ VYSÍLÁNÍ
ROČNÍK XXX/1981 ČÍSLO 2

V TOMTO SEŠITĚ

Znáte zákon o branné výchově? . . . 41

Integrované obvody. NDR (dokončení z AR 6/80)

Integrované obvody D191C, D192C, D193C	42
D195C, D200D, D201D, D204D, D210D, D220D, D230D, D240D, D251D	43
D245D, D274D, D410D, D461D	44
D491D, D492D	45
E350D	47
E355D	48
A232D	50
A241D, A311D	51
B308D	52

Integrované obvody MOS

Integrovaný obvod U101D	52
U102D	53
U103D	54
U104D	55
U105D, U106D, U107D	56
U108D	58
U109D, U111D	60
U112D	62
U113F	63
U118F, U121D	64
U122D, U202D	66
U253D	67
U311D	68
U352D, U401D, U402D, U403D	69
U501D, U505D	70
U551D, U552C, U700D, U705D	71
U706D	74
U710D, U711D	76
U805D	77

Konstrukční část – senzorové tlačítko 77

AMATÉRSKÉ RADIO ŘADA B

dává ÚV Svazarmu ve vydavatelství NAŠE VOJSKO, Vladislavova 26, PSČ 113 66 Praha 1, telefon 06 51-77. Zastupující šéfredaktor Luboš Kalousek, (1FAC. Redakční rada: K. Bartoš, V. Brzák, RNDr. Brunnhofer, K. Donát, A. Glanc, I. Harminc, M. Ša, Z. Hradský, P. Horák, J. Hudec, Ing. J. T. Hyán, J. J. Jaroš, doc. Ing. dr. M. Joachim, Ing. J. Klábal, J. F. Králík, RNDr. L. Kryška, Ing. E. Měc, V. Měc, K. Novák, RNDr. L. Ondříš, Ing. O. Petráček, J. E. Smutný, doc. Ing. J. Vackář, laureát st. ceny I., Ing. J. Zlma. Redakce Jungmannova 24, 113 66 Praha 1, tel. 26 06 51, I. 353, sekretářka I. 355, Ročník de 6 čísel. Cena výtisku 5 Kčs, pololetní předplat. 15 Kčs. Rozšiřuje PNS, v jednotkách ozbrojených vydavatelství NAŠE VOJSKO, administrace Vladislavova 26, Praha 1. Objednávky přijímá každá pošta řadučatel. Objednávky do zahraničí vyřizuje IS, vývoz tisků, Jindřichská 14, Praha 1, Tiskne ŠE VOJSKO, n. p., závod 08, 162 00 Praha 6 – JOC, Vlastina 710. původnost a správnost příspěvku odpovídá autor. vstěvy v redakci a telefonické dotazy pouze po 14. diné. Číslo indexu 46 044. to číslo má vyjít podle plánu 2. dubna 1981. vydavatelství NAŠE VOJSKO, Praha

ZNÁTE ZÁKON O BRANNÉ VÝCHOVĚ?

Pokud ne nebo jenom částečně, doporučujeme vám přečíst si dnešní úvodník. Tento zákon by totiž měl dobře znát každý. Předělo by se tím mnoha nejasnostem a možná by to přispělo i k rychlejšímu rozvoji a k zlepšení podmínek pro naši zájmovou brannou činnost – radioamatérství.

Zákon o branné výchově je důležitým dokumentem, který byl přijat v roce 1973 a zveřejněn ve Sbírce zákonů 73/1973 z 27. 6. 1973. Stanovuje cíle, obsah a rozsah branné výchovy, způsob jejího řízení a práva a povinnosti orgánů, organizací a účastníků branné výchovy. Aby nedošlo k nedorozumění při výkladu trochu složitějšího jazyka zákona – pojem „účastník branné výchovy“ zahrnuje i všechny naše radioamatéry, ať už se jim to líbí nebo ne. Z dopisů, které totiž dostáváme do redakce, občas vyplývá, že někteří radioamatéři žijí v představách o elektronice a radioamatérství, oprostěných od jakékoliv brannosti. (Je paradoxní, že realizaci svých představ by rádi viděli na stránkách svazarmovského časopisu, jakým je AR.) Nedávno jsme např. dostali dopis, jehož autor si stěžoval: „Radioamatér touží po tom, aby si mohl v klidu doma stavět a ne aby musel běhat někde po lese...“ K polemice s těmito názory se vrátíme jindy, nyní vycházíme z reality. Rudé právo 28. 1. 1981 v článku. Základna naší elektroniky píše: „Elektronika umožňuje zkvalitňovat služby, zlepšovat péči o zdraví člověka a uplatňuje se také v systémech školní i mimoškolní výchovy a osvěty. Využití elektronických prvků výrazně zvyšuje obranyschopnost státu, umožňuje zvládnout růst dopravy...“ Ano, elektronika proniká do všech oblastí naší činnosti, vojenství nevymáhá. Zákon o branné výchově zabezpečuje práva těch, kteří se elektronikou jako zájmovou činností zabývají – tedy radioamatérů, a stanovuje také jejich povinnosti, i když zákon je samozřejmě formulován s ohledem na všechny svazarmovské odbornosti společně.

Nejprve si upřesníme, co všechno chápe Zákon o branné výchově pod pojmem „branná výchova“: brannou výchovu žáků, učňů a studentů, přípravu branců, brannou přípravu vojáků v záloze, přípravu občanů k civilní obraně a zájmovou brannou činnost. Posledně jmenovaná nás zajímá v tomto případě nejvíce, protože se týká všech radioamatérů, i když samozřejmě mnozí z nich se podílejí i na ostatních formách branné výchovy (např. radioamatéři – instruktoři ve výcvikových střediscích branců). Poslání Svazarmu v branné výchově vymezuje odst. 2 § 9: „Svaz pro spolupráci s armádou jako dobrovolná branná společenská organizace plní úkoly vyplývající z potřeb obrany Československé socialistické republiky a v rozsahu své působnosti poskytuje pomoc jiným organizacím při plnění úkolů branné výchovy.“ Zájmové branné činnosti je věnována část sedmá Zákona, která obsahuje dva paragrafy. § 19: „Zájmová branná činnost umožňuje občanům, aby uplatňováním svých osobních schopností a zálib přispívali k plnění úkolů spojených s obranou socialistické vlasti, přispívá k jejich ideové výchově, zvyšuje jejich brannou angažovanost, rozvíjí jejich morální a volní vlastnosti, posiluje jejich branné a technické vědomosti, dovednosti a návyky, jejich tělesnou zdatnost a psychickou odolnost, potřebné k obraně socialistické vlasti.“ A § 20: „Zájmovou brannou činnost provádějí společenské organizace, u nichž branná výchova je součástí jejich činnosti; přitom spolupracují s federálním ministerstvem národní obrany, federálním ministerstvem vnitra, ministerstvem školství ČSR a minister-

stvem školství SSR, popřípadě s jinými orgány a organizacemi. Ve vzájemné spolupráci organizují též branné sportovní a technické soutěže.“

Část osmá Zákona je společná pro všechny účastníky branné výchovy a má název Práva a povinnosti orgánů, organizací a účastníků branné výchovy. Obsahuje řadu důležitých a zajímavých ustanovení, jejichž všeobecná znalost a jejichž uplatňování v praxi mohou pomoci podpořit radioamatérského hnutí. Všimněme si např. § 21, odstavce 2: „Ústřední orgány a organizace, které odpovídají za brannou výchovu, zabezpečují ve své působnosti teoretické zpracování otázek branné výchovy v souladu se státním plánem rozvoje vědy a techniky. Ukořet organizací, které plní úkoly v branné výchově, je praktické využití výzkumu v oblasti branné výchovy.“ Poslední věta tohoto odstavce se snad nejvíce ze všech svazarmovských odborností vztahuje na elektroniku a radioamatérství. Vyplývá z ní, že svazarmovské radioamatérské orgány mají za úkol umožnit radioamatérům, aby měli přístup k moderním součástkám a k měřicí technice, protože jedině tak lze prakticky využívat výsledků výzkumu pro oblast branné výchovy.

Ti čtenáři, kteří sledují v řadě AR A v rubrice Mládež a kolektivy seriál Z činnosti radioklubů od J. Čecha, OK2-4857, se mohou přesvědčit o tom, kolik radioklubů a kolektivních stanic má problémy s místnostmi pro svoji činnost. Známe i radiokluby, jejichž členové se musí scházet v bytě některého z operátérů. Vedoucím operátérům a předsedům ZO Svazarmu, kteří mají stále tyto potíže, doporučujeme odvolat se při bezvýsledném jednání se zástupci národních výborů nebo s jinými orgány na odstavec 3 § 22: „Národní výbory, ozbrojené síly a další orgány a organizace umožňují využívání svých zařízení pro účely branné výchovy v přiměřeném rozsahu a zpravidla bezplatně.“

Jiným aktuálním problémem je uvolňování ze zaměstnání svazarmovských radioamatérů, kteří se zúčastňují radioamatérských sportovních nebo technických soutěží. Nedávno jsme zveřejnili odpověď vedoucího pracovníka Odborného učiliště Vkus Spišská Stará Ves na žádost o uvolnění ze zaměstnání na soutěž v rádiovém orientačním běhu: „Kdybyste soutěžila za naše učiliště, tak snad, ale za Svazarm?!“ Zákon o branné výchově zcela jednoznačně říká (§ 23, odst. 1): „Organizace, jejich vedoucí pracovníci, jakož i vedoucí pracovníci organizačních jednotek těchto organizací jsou povinni umožňovat účast svých příslušníků na branné výchově.“

Požadavky, které můžeme vznášet vůči svému okolí na základě Zákona o branné výchově však nesmíme přehánět – aby se snad někdo nedomníval, že ze znění odst. 2 § 23 („Příprava branců, branná příprava vojáků v záloze a příprava občanů k civilní obraně se provádí především v mimopracovní době...“) vyplývá, že může provozovat svoji zájmovou činnost především v pracovní době!

Je nutno chápat smysl Zákona o branné výchově v celospolečenských souvislostech. Nemůžeme např. očekávat, že na základě již citovaného odst. 2 § 21 ústřední rada radioamatérství Svazarmu vyřeší problémy s nedostatkem radiotechnických součástek v našich radioklubech i na našem trhu – ani to není v jejich silách. (Řešení této nepříznivé situace s negativním dopadem nejen na

radioamatérském hnutí, ale i na rozvoj celého našeho hospodářství můžeme očekávat od Souboru opatření ke zdokonalení plánovitého řízení národního hospodářství po roce 1980 a jeho aplikace na výrobu a její řízení ve VHJ TESLA – Elektronické součástky. Do roku 1985 tato VHJ hodlá zdvojnásobit celkový roční objem výroby a výrobu integrovaných obvodů ztrojnásobit.)

To však nemění nic na skutečnosti, že v každém radioklubu by Zákon o branné výchově měli znát alespoň vedoucí operatéri a funkcionáři a mohli případně poučit ty, kteří vědomě nebo nevědomě kladou překážky nebo jsou lhostejní k potřebám svazarmovského radioamatérského hnutí.

–pfm–

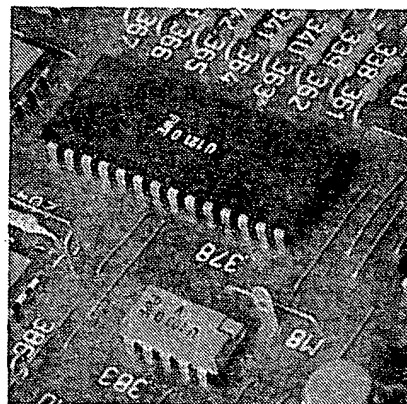
Integrované obvody NDR II.

Allan Matuška

(Dokončení z AR B6/80)

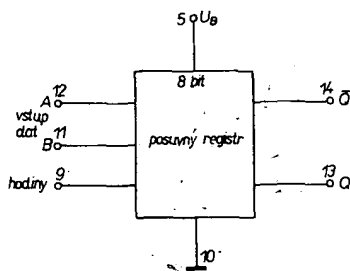
V tomto čísle AR řady B je dokončen přehled integrovaných obvodů, vyráběných v NDR. Je však dokončen přehled číslicových integrovaných obvodů řady TTL, jednak jsou uvedeny obvody, které byly dány na trh v minulém roce, a jednak jsou popsány obvody MOS. Vzhledem k tomu, které je k dispozici, nejsou popsány zcela všechny obvody, chybí například obvody MOS pro kalkulačky, mikroprocesory a některé další speciální obvody. Číslování obrázků a tabulek navazuje na loňské číslo 6, v němž byly uvedeny analogové a část číslicových obvodů TTL. Kromě popisů jednotlivých obvodů a jejich ekvivalentů (pokud existují) jsou uvedeny i doporučené nebo ověřené aplikace.

Jako ověřená konstrukce je popsáno zapojení senzorového „tlačítka“ s obvodem MOS výroby NDR.



Integrovaný obvod D191C, E191C

Integrovaný obvod D191C, E191C je osmibitový posuvný registr se sériovým vstupem a výstupem, který je složen z osmi klopných obvodů R-S master-slave, vstupního hradla a hradla hodinových impulsů. Pro volbu dat a řízení vstupu využíváme sloučení vstupů A, B (data) v hradle NAND. Informace přivedená na vstup se po osmi hodinových impulsích objeví na výstupech Q, Q̄. Infor-



Obr. 108. Zapojení D191C

mace se posouvá na kladné hraně každého hodinového impulsu o jeden klopný obvod. Obvod je v keramickém pouzdrě DIL 14 a jeho parametry jsou v tab. 32. Vnitřní zapojení je na obr. 108. D191C je ekvivalentem SN7491AJ ty Texas Instruments, E191C je ekvivalentem SN8491C.

Tab. 32. Parametry IO D191C

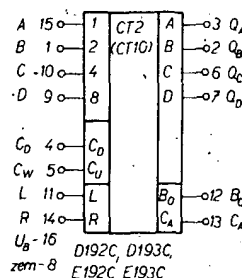
Jmenovité údaje	
Napájecí napětí:	5 (±5 %) až 7 V.
Logický zisk:	10.
Zatížení vstupu:	1 vstup řady D10.
Odběr ze zdroje ($U_B = 5,25$ V):	32, max. 58 mA.
Pracovní teplota pro D191C:	0 až 70 °C.
pro E191C:	–25 až +85 °C.
Max. posouvání kmitočet:	min. 10, typ. 20 MHz.
Zpoždění hodinový výstup t_{DHL} :	25, max. 40 ns.
t_{DLH} :	18, max. 40 ns.
Šířka hodinových impulsů:	min. 25 ns.
Doba předstihu dat:	min. 25 ns.
Doba přesahu dat:	0 ns.

Integrovaný obvod D192C, E192C

Integrovaný obvod D192C, E192C je dekádický synchronní čítač vpřed-vzad s přednastavením. Vstupní informace se střádá ve čtyřech klopných obvodech J-K master-slave. Číslo 10 až 15 se přeskočí, takže čítač po čísle 9 přeskočí na 0 při čítání vpřed a při čítání vzad z 0 „skočí“ na 9. Když při čítání vpřed dosáhneme horní hranice čítače, další hodinový impuls dá vzniknout impulsu „přenos do vyššího řádu“. Tento impuls je co do polarity, tvaru a doby trvání stejný jako impuls hodinový. Při čítání vzad po dosažení spodní hranice (0) vznikne stejným způsobem impuls „přenos do nižšího řádu“. Čítač pracuje synchronně, tzn. že hodinový impuls řídí všechny klopné obvody současně, takže ty se překlápí ve stejném okamžiku, čímž je umožněno jednoznačné dekódování výstupní informace. Po přivedení impulsu 0-1 na vstup mazání se čítač nastaví do výchozí polohy. Každý klopný obvod čítače lze nastavit do požadované polohy připojením vstupů D_A až D_D na požadovanou úroveň. Nulovací vstup musí být na L. Při čítání musí být na vstupu nulování úroveň L a na vstupu čítání úroveň H. Vstupy dat mohou být na libovolné úrovni. Obvod je v keramickém pouzdrě DIL 16, jeho parametry jsou v tab. 33 a zapojení na obr. 109. D192D je ekvivalentem SN74192 (MH74192) a E192D je ekvivalentem SN84192 (MH84192).

Integrovaný obvod D193C, E193C

Integrovaný obvod D193C, E193C je synchronní binární přednastavitelný čítač vpřed-vzad, který počítá od 0 do 15 v kódu 1-2-4-8. Pro počítání vpřed a vzad jsou použity dva oddělené vstupy, přičemž je možné použít vždy jen jeden vstup. V klidovém stavu je na vstupech úroveň H. Změny číteného stavu bude nejdříve dosaženo změnou úrovně H na L v části master klopného obvodu a na výstupech čítače se úroveň změní z L na H. Na výstupech přenos vpřed, přenos vzad je přenosový signál jen tak dlouho, dokud jsou



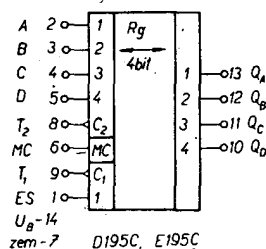
Obr. 109. Zapojení D192C, D193C

Tab. 33. Parametry D192C, D193C

Jmenovité údaje	
Napájecí napětí:	5 (±5 %) až 7 V.
Logický zisk:	10 hradel řady D10 nebo 8 hradel řady D20.
Zatížení vstupu:	1 vstup hradla řady D10.
Odběr ze zdroje ($U_B = 5,25$ V):	79, max. 102 mA.
Pracovní teplota pro D192C (D193C):	0 až 70 °C.
pro E192C (E193C):	–25 až 85 °C.
Zpoždění při čítání vpřed-přenos vpřed t_{DLH} :	17, max. 26 ns.
t_{DHL} :	13, max. 24 ns.
Zpoždění při čítání vzad-přenos vzad t_{DLH} :	17, max. 24 ns.
t_{DHL} :	13, max. 24 ns.
Zpoždění (vpřed nebo vzad) – Q_A až Q_D , t_{DLH} :	30, max. 38 ns.
t_{DHL} :	36, max. 47 ns.
Zpoždění dat (D_A až D_D) – Q_A až Q_D , t_{DLH} :	22, max. 40 ns.
t_{DHL} :	27, max. 40 ns.
Zpoždění nulování – Q_A až Q_D , t_{DLH} :	22, max. 35 ns.
Čítený kmitočet:	0 až 25 MHz.
Šířka vstupního impulsu t_W :	min. 20 ns.
Předstih dat:	max. 20 ns.
Přesah dat:	0 ns.

Integrovaný obvod D195C, E195C

Integrovaný obvod D195C, E195C je inverzní čtyřbitový posuvný registr s volitelným sériovým nebo paralelním vstupem a výstupem dat, určený pro paralelní sériový nebo sériově paralelní převodník nebo paměť v počítačích, při přenosu data a v řídicích systémech. Při posuvu vpravo (od ES k Q_D) musíme data přivádět na vstup ES v sérii. Vstup MC je na úrovni L. Vstupní informace se přenáší během sestupné hrany hodinového impulsu přiváděného na T₁. Po čtyřech hodinových impulsích je vstupní informace na vstupu Q_D. Při sériovém vstupu a posuvu vlevo se posuv vlevo realizuje spojením výstupů se vstupy předcházejícího stupně (Q_Ds C, Q_Cs B, Q_Bs A). Sériový vstup je pak na vývodu D a informace po čtyřech hodinových impulsích (přivedených na T₂) je na výstupu Q_A. Na MC je úroveň H. Při paralelním přenosu se informace přivede na vstupy A až D, na MC je úroveň H a tím se eliminuje funkce vstupu T₁. Informace musí být na klopných obvodech před hodinovým impulsem.



Obr. 110. Zapojení D195C

Tab. 34. Parametry D195C

Jmenovité údaje:	
Napájecí napětí:	$5 \pm 5 \% \text{ až } 7 \text{ V}$
Logický zisk:	10.
Zatížení vstupů T_1, T_2, A, B, C, D :	1 hradlo řady D10. 2 hradla řady D10.
MC: /	
Odběr ze zdroje ($U_B = 5,25 \text{ V}$):	55, max. 82 mA.
Pracovní teplota:	0 až 70°C
Maximální kmitočet posuvu:	min. 2P MHz.
Zpoždění T_1 – výstup, t _{DHL} :	23, max. 35 ns.
t _{DHL} :	22, max. 35 ns.
Šířka hodinových impulsů:	min. 15 ns.

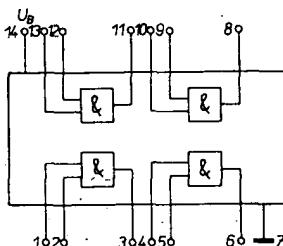
Obvod je v keramickém pouzdře DIL 14, jeho parametry jsou v tab. 34 a vnitřní zapojení je na obr. 110. Integrovaný obvod D195C je ekvivalentem SN7495J a E195C je ekvivalentem SN8495J fy Texas Instru-

Integrovaný obvod D200D

Integrovaný obvod D200D jsou čtyři dvouvstupová hradla NAND, pro která platí logická rovnice $Y = \overline{AB}$. Obvod je v pouzdře

Tab. 35. Parametry IO řady D20

Mezní údaje	
Napájecí napětí:	0 až 7 V.
Vstupní napětí:	-0,8 až +5,5 V.
Logický zisk ($N_0 = 1$ odpovídá $I_{OL} = 2$ mA nebo $-I_{OH} = 50$ μ A):	10.
Pracovní teplota:	0 až 70 °C.
Jmenovité údaje	
Napájecí napětí:	4,75 až 5,25 V.
Výstupní napětí L:	<0,4 V.
H:	>2,4 V.
Zpoždění ($U_B = 5$ V, $\vartheta_a = 25$ °C), t_{DHL} :	7 ns,
t_{DLH} :	7 ns.



Obr. 111. Zapojení D200D, D201D

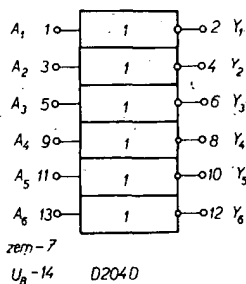
DIP 14, jeho parametry jsou v tab. 35 a zapojení na obr. 111. D200D je ekvivalentem SN74H00 fy Texas Instruments.

Integrovaný obvod D201D

Integrovaný obvod S201D jsou čtyři dvoustupňová hradla NAND s otevřeným kolektorem, pro která platí logická rovnice $Y = \overline{AB}$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a zapojení na obr. 111. D201D je ekvivalentem SN74H01 firmy Texas Instruments.

Integrovaný obvod D204D

Integrovaný obvod D204D je šestice invertorů, pro které platí logická rovnice $Y = \bar{A}$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a jeho zapojení na obr. 112. D204D je ekvivalentem SN74H04 firmy Texas Instruments.



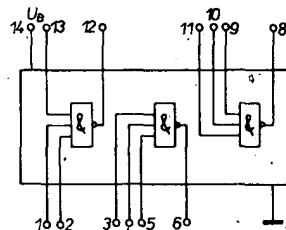
Obr. 112. Zapojení D204D

Integrovaný obvod D210D

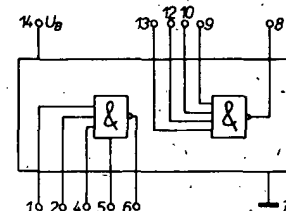
Integrovaný obvod D210D jsou tři třívstupová hradla NAND, pro která platí logická rovnice $Y = \overline{ABC}$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a jeho zapojení na obr. 113. D210D je ekvivalentem SN74H10 fy Texas Instruments.

Integrovaný obvod D220D

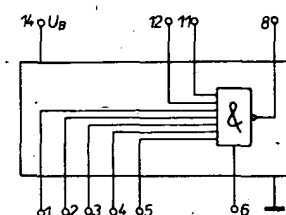
Integrovaný obvod D220D jsou dvě čtyřvstupová hradla NAND, pro která platí logická rovnice $Y = ABCD$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a zapojení na obr. 114. D220D je ekvivalentem SN74H20 fy TI.



Obr. 113. Zapojení D210D



Obr. 114. Zapojení D220D, D240D



Obr. 115. Zapojení D230D

Integrovaný obvod D230D

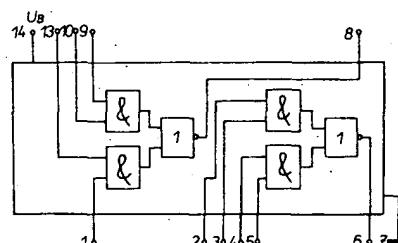
Integrovaný obvod D230D je osmivstupové hradlo NAND, pro které platí logická rovnice $Y = \overline{A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H}$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a jeho zapojení na obr. 115. D230D je ekvivalentem SN74H30 fy TI.

Integrovaný obvod D240D

Integrovaný obvod D240D jsou dvě čtyřvstupové výkonové hradla NAND s logickým ziskem 30, pro která platí logická rovnice $Y = \overline{ABCD}$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a zapojení na obr. 114. D240D je ekvivalentem SN74H40 fy TI.

Integrovaný obvod D251D

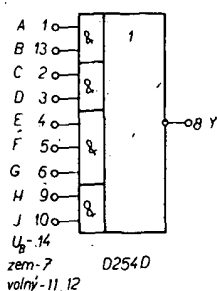
Integrovaný obvod D251D jsou dvě hradla AND-NOR s 2×2 vstupy, pro která platí logická rovnice $Y = (AB) + (CD)$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a jeho zapojení na obr. 116. D251D je ekvivalentem SN74H51 fy TI.



Obr. 116. Zapojení D251D

Integrovaný obvod D254D

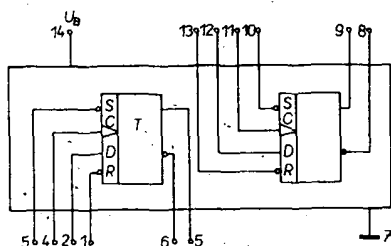
Integrovaný obvod D254D je hradlo AND-NOR s 3×2 a 1×3 vstupy, pro které platí logická rovnice $Y = (AB) + (CD) + (EFG) + (HJ)$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a jeho zapojení na obr. 117. D254D je ekvivalentem SN74H54 fy TI.



Obr. 117. Zapojení D254D

Integrovaný obvod D274D

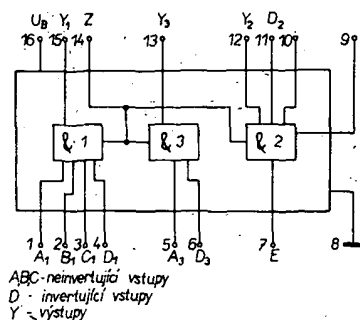
Integrovaný obvod D274D jsou dva klopné obvody typu D, pro které platí logická rovnice $Q(t+1) = D(t)$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 35 a jeho zapojení na obr. 118. D274D je ekvivalentem SN74H74 fy TI.



Obr. 118. Zapojení D274D

Integrovaný obvod D410D

Integrovaný obvod D410D je výkonné hradlo $3 \times$ AND odolné proti přetížení. D410D se vyznačuje velkou šumovou imunitou a velkou odolností proti poškození. IO tvoří hradla AND se 2, 3 a 4 vstupy, při čemž jeden z nich je vždy invertován. V rozsahu vstupních napětí 1 až 44 V je vstupní proud téměř konstantní. Pro potlačení rušivých impulsů je každá funkce AND vnitřním



Obr. 119. Zapojení D410D

zpožďovacím stupněm zpožděna v době změny vstupního signálu vůči signálu na výstupu. Doba zpoždění druhého hradla AND může být zvětšena připojením kondenzátoru na vývod E. Na výstupech všech tří hradel může být nastavena úroveň H připojením napětí $U_L > U_{VIH}$ na vývod Z. Zapojení D410D je na obr. 119 a jeho parametry jsou uvedeny v tab. 35a. Pro IO platí logické funkce: $Y_1 = A_1 B_1 C_1 D_1$; $Y_2 = A_2 B_2 D_2$; $Y_3 = A_3 D_3$. Obvod je v pouzdře DIP-16.

Tab. 35a. Parametry D410D

Mezní údaje

Napájecí napětí U_B : min. 14, max. 35 V.
Vstupní napětí U_{VIH} před ochranným odporem 5,6 k Ω
trvalé: min. -30, max. 50 V,
po dobu 6 μ s, f_{opak} = 300 Hz: min. -300, max. 300 V,
po dobu 12 μ s, f_{opak} = 300 Hz: min. -150, max. 150 V.
Výstupní napětí U_{VHI} před ochranným odporem 5,6 k Ω
po 6 μ s, f_{opak} = 300 Hz: min. -300, max. 300 V.
Pracovní teplota: -25 až +85 $^{\circ}$ C.

Jmenovité údaje

Napájecí napětí: 14 až 32 V.
Vstupní napětí pro úroveň L, U_{IL} : -0,15 až 5 V.
Vstupní napětí pro úroveň H, U_{IH} : 7,5 až 44 V.
Logický zisk: 10.
Pracovní teplota: -10 až +85 $^{\circ}$ C.

Pozn. Všechny typické údaje platí při pracovní teplotě 25 $^{\circ}$ C - 5 $^{\circ}$ C.

Statické údaje

Odběr proudu I_B ze zdroje $U_B = 14$ V: typ. 5,2, max. 12 mA,
 $U_B = 24$ V: typ. 5,4, max. 12 mA,
 $U_B = 30$ V: typ. 5,5, max. 12 mA.
Vstupní proud I_{IL} pro úroveň L při
 $U_B = 24$ V, $U_{IL} = 5$ V: min. 0,1, typ. 0,14, max. 0,3 mA.
Vstupní proud I_{IH} pro úroveň H při
 $U_B = 24$ V, $U_{IH} = 30$ V: min. 0,1, typ. 0,14, max. 0,3 mA.
Výstupní napětí U_{OL} pro úroveň L při
 $U_B = 30$ V, $I_{OL} = 1,6$ mA, $U_{IH} = 7,5$ V: typ. 0,9, max. 1,4 V.
Výstupní napětí U_{OH} pro úroveň H při
 $U_B = 14$ V, $-I_{OH} = 3$ mA, $U_{IH} = 7,5$ V, $U_{IL} = 5$ V: min. 12, typ. 12,9 V.
Řídicí proud na vstupu Z při
 $U_B = 30$ V, $U_{IH} = 7,5$ V, $U_{IL} = 5$ V, $U_Z = 5$ V: typ. 0,9, max. 2 mA.
Zkratový proud proti zemi při
 $U_B = 30$ V, $U_{IH} = 7,5$ V, $U_{IL} = 5$ V: typ. 10, max. 18 mA.
Zkratový proud proti U_B při
 $U_B = 30$ V, $U_{IH} = 7,5$ V: typicky 4,5 mA.

Dynamické údaje

($U_B = 24$ V $\pm 0,4$ V, $U_{IH} = 7,5$ V $\pm 0,1$ V, $R_L = 8,2$ k Ω)

Zpoždění signálu hradlem 1 (a 3), t_{DLH} ,
při vypnutí: min. 1, typ. 4,8, max. 9 μ s,
při zapnutí: min. 1, typ. 3, max. 9 μ s.
Zpoždění signálu hradlem 2, t_{DLH} ($C_E = 33$ nF),
při vypnutí: min. 5,5, typ. 8,9, max. 12 ms,
při vypnutí: min. 1,5, typicky 2,9, max. 4 ms.

Integrovaný obvod D461D

Integrovaný obvod D461D je budič TTL-MIS, určený pro vybuzení paměti MIS. V obvodu jsou dvě dvouvstupová hradla NAND, která mají po jednom vstupu a jednom

výstupu a jeden vstup je společný, pro obvod platí logická rovnice $Y = A_1 E$. Obvod může být buzen signály TTL i DTL. Výstupní úroveň H je určena druhým napájecím napětím U_{B2} . Optimálních parametrů se dosáhne při $U_{B2} = 16$ až 20 V. Jmenovité údaje v tab.

Tab. 36. Parametry D461D

Mezní údaje

Napájecí napětí U_{B1} : -0,5 až 7 V,
 U_{B2} : -0,5 až 25 V.
Vstupní napětí: 5,5 V,
Rozdíl napětí mezi vstupy a E: 5,5 V,
Výstupní napětí ($U_I = 0$, $I_{OH} = 20$ mA): $U_{B2} + 1,5$ V,
Vstupní proud při max. vstupním napětí ($U_{VIH} = 5,5$ V): 1 mA,
Trvalý proud při úrovni L na výstupu: 100 mA,
Ztrátový výkon při 70 $^{\circ}$ C: 800 mW,
Pracovní teplota: 0 až 70 $^{\circ}$ C.

Provozní údaje

Napájecí napětí U_{B1} : 4,75 až 5,25 V,
 U_{B2} : 4,75 až 24 V.

Statické údaje při 0 až 70 $^{\circ}$ C

Vstupní napětí H: min. 2 V,
L: max. 0,8 V,
Napětí diody v propustném směru ($I_I = 12$ mA, $U_{B1} = 4,75$ V): 1,5 V,
Výstupní napětí H ($I_{OH} = -12$ mA, $U_{IL} = 0,8$ V): min. 2,3 V,
L ($U_{B2} = 15$ až 24 V, $U_{IH} = 2$ V), $I_{OL} = 10$ mA: max. 0,3 V,
 $I_{OL} = 40$ mA: max. 0,5 V,
Vstupní proud H ($U_I = 2,4$ V) vstup A: max. 40 μ A,
($U_{B1} = 5,25$ V) vstup E: max. 80 μ A,
Vstupní proud L ($U_I = 0,4$ V) vstup A: 1,6 mA,
($U_{B1} = 5,25$ V) vstup E: 3,2 mA.

Odběr ze zdroje (výstupy na H, vstupy na zemi)

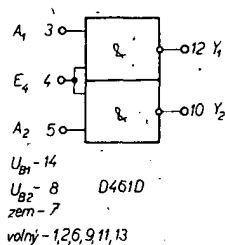
$U_{B1} = 5,25$ V, I_{IH} : 4 mA,
 $U_{B2} = 24$ V, I_{IH} : 0,5 mA,

(výstupy na L, vstupy na 5 V)

$U_{B1} = 5,25$ V, I_{IL} : 24 mA,
 $U_{B2} = 24$ V, I_{IL} : 11 mA.

Dynamické údaje při $U_{B1} = 5$ V, $U_{B2} = 20$ V, $\theta_a = 25$ $^{\circ}$ C, $C_i, C_z = 390$ pF, $R_D = 10$ Ω

Zpoždění t_{DHL} : 18 ns,
 t_{DLH} : 20 ns,
Doba náběhu z H do L: 35 ns,
z L do H: 40 ns,
Celkové zpoždění z H do L: 47 ns,
z L do H: 55 ns.

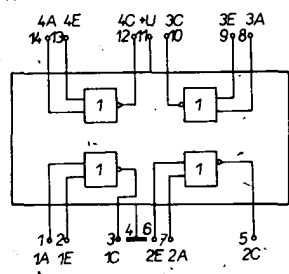


Obr. 120. Zapojení D461D

36 platí pro rozsah napájecích napětí $U_{B2} = 4,75$ až 24 V. Obvod je v pouzdře DIP 14 a jeho zapojení je na obr. 120. D461D je ekvivalentem SN75461 fy TI.

Integrovaný obvod D491D

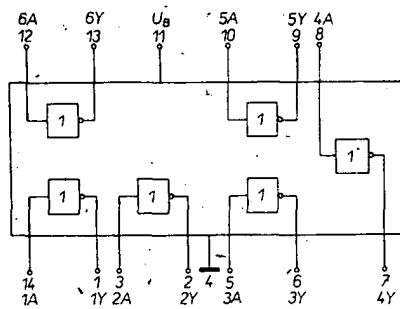
Integrovaný obvod D491D je čtyřnásobný budič segmentů z luminiscenčních diod LED, který má otevřený kolektor a emitor a je určen pro sériově zapojené displeje jako interface mezi obvody MÖS a displejem. Pro obvod platí logická rovnice $E = A$, $C = \bar{A}$. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 37 a jeho zapojení na obr. 121. D491D je ekvivalentem SN75491 fy TI.



Obr. 121. Zapojení D491D

Integrovaný obvod D492D

Integrovaný obvod D492D je šestinasobný budič pro displeje s diodami LED, kde každý budič řídí jeden segment složený z diod LED proudem až 50 mA. Celkový proud nesmí být však větší než 250 mA. Obvod slouží k propojení obvodů MOS s displejem LED. Obvod je v pouzdře DIP 14, jeho parametry jsou v tab. 38 a zapojení na obr. 122. D492D je ekvivalentem SN75492 fy TI.



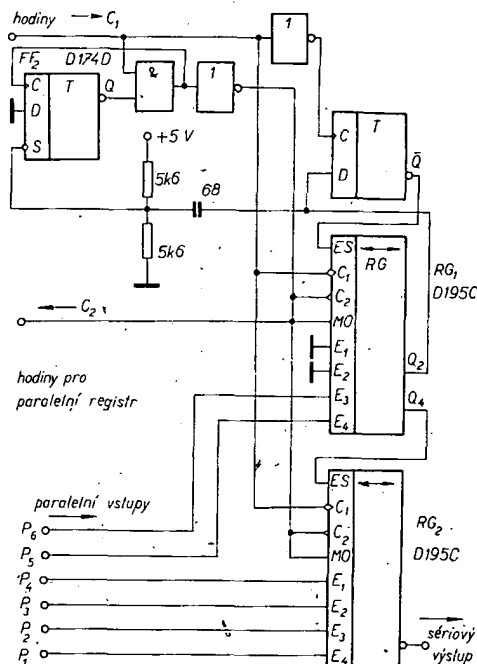
Obr. 122. Zapojení D492D

Na obr. 123 je zapojení paralelně sériového převodníku, používaného při zpracování dat. První klopný obvod a první dvě paměti registru RG_1 jsou zapojeny jako děliči $6:1$. Po zapnutí se nastaví na registru RG_1 pomocí C_2 a pro $E_1 = E_2 = L$, stav $Q_1 = Q_2 = L$. Během provozu je toto nastavení nepotřebné, avšak nenaruší další stavy, vzniklé při provozu. Druhým klopným obvodem se po každém šestém impulsu C_1 vybudí synchronizační impuls C_2 , který dovoluje paralelní

zápis do registru a zabráňuje sériovému posuvu. Náběžná hrana C_1 je překryta impulsem C_2 . Z obr. 124 je zřejmé, že data P_1 až P_6 jsou překryta sestupnou hranou C_2 (závisí na použitém zapojení). Správně však musí být paralelní data přivedena před nebo za náběžnou hranou impulsu C_2 (doba předstihu ≈ 20 ns, přídržná doba ≈ 0 ns).

Na obr. 125 je zapojení rychlého analogově digitálního převodníku, který je složen z řídicího obvodu, paměti, budiče, D-A převodníku a komparátoru. Řídicí obvod je tvořen hradly IO_4 , IO_5 , pamět z IO_6 až IO_9 , a budič z IO_{10} , IO_{11} . Funkce řídicího obvodu je zřejmá z obr. 126. Důležité jsou počáteční podmínky pro každý převod, které jsou realizovány na konci každého převodu. Vnější startovací signál spouští startovací spouštěcí obvod (ST) a uvolňuje zablokovaný generátor (C_1). Hodiny C_1 posouvají nulovací impuls osmistupňovým posuvným registrem (IO_4 , IO_5). Sestupná hrana tohoto posouvání impulsu nastavuje jednotlivé paměti a náběžná hrana funguje jako hodiny pro zpětné nastavení závislé na komparátoru. Když konečně impuls proběhne posuvným registrem, vzniknou impulsy C_2 , MC a R . Ty tvoří počáteční podmínky v řídicím obvodu a přes paměť bitů se měřená veličina zapisuje do budiče (IO_{10} , IO_{11}). Správné ukončení převodu je závislé na impulsu \bar{Q}_4 . Když ten

Obr. 123. Paralelně sériový převodník

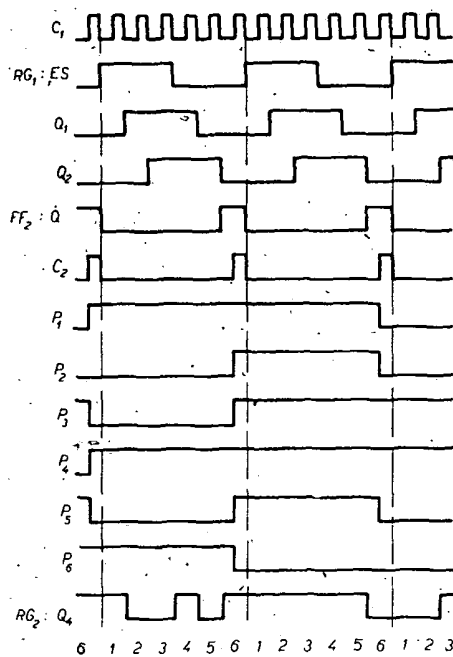


Tab. 38. Parametry D492D

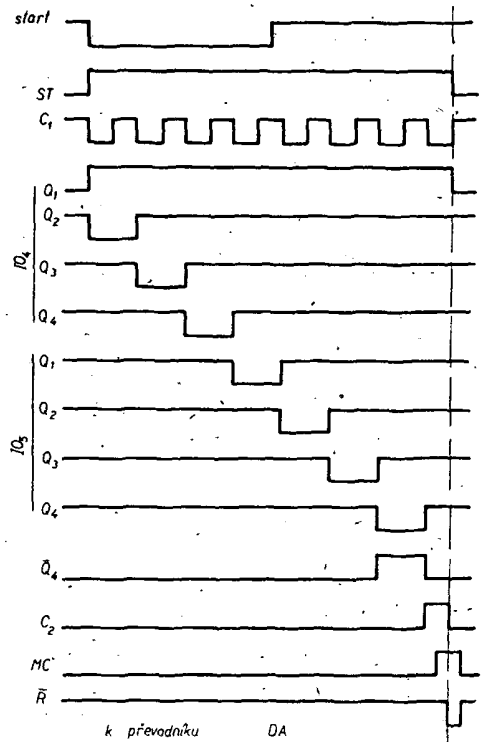
Tab. 37 Parametry D491D

Mezní údaje	
Napájecí napětí:	10 V.
Vstupní napětí:	min. -5 V.
Napětí kolektor-zem:	10 V.
Napětí kolektor-emitor:	10 V.
Napětí emitor-zem:	5 V.
Napětí emitor-vstup:	5 V.
Kolektorový proud:	50 mA.
Ztrátový výkon:	400 mW.
Provozní teplota:	0 až 70 °C.
Provozní údaje	
Napájecí napětí:	4,5 až 10 V.
Provozní teplota:	0 až 70 °C.
Jmenovité údaje při $U_B = 10$ V, $\theta_a = 0$ až 70 °C	
Napětí kolektor-emitor při úrovni L ($U_i = 8,5$ V, $R_i = 1$ k Ω , $I_{CL} = 50$ mA, $U_E = 5$, $\theta_a = 25$ °C)	1,2 V.
$\theta_a = 0$ až 70 °C:	1,5 V.
Kolektorový proud při úrovni H ($U_{CH} = 10$ V, $U_E = 0$ V, $I_i = 40$ μ A):	100 μ A.
$U_E = 5$ V, $U_i = 0,7$ V:	100 μ A.
Závěrečný proud emitoru ($U_i = 0$ V, $U_E = 5$ V, $I_C = 0$ mA):	100 μ A.
Vstupní proud ($U_i = 10$ V, $U_E = 5$ V, $I_{CL} = 20$ mA):	3,3 mA.
Odběr ze zdroje ($U_B = 10$ V):	1 mA.

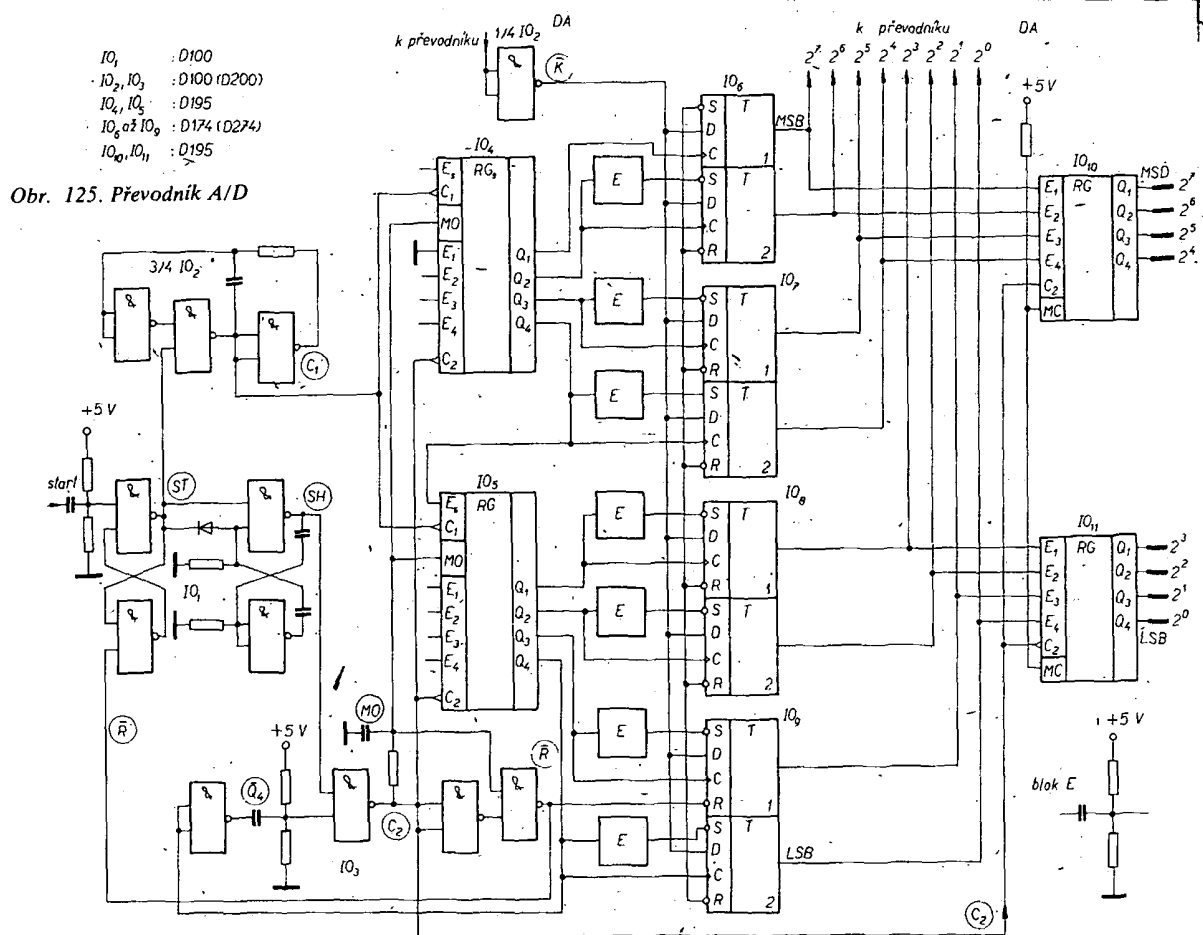
Mezní údaje	
Napájecí napětí:	10 V.
Vstupní napětí:	min. -5 V.
Výstupní napětí:	10 V.
Napětí vstup-výstup:	10 V.
Proud kolektoru:	250 mA.
Ztrátový výkon:	400 mW.
Provozní teplota:	0 až 70 °C.
Provozní údaje	
Napájecí napětí:	4,5 až 10 V.
Provozní teplota:	0 až 70 °C.
Jmenovité údaje při $U_B = 10$ V, $\theta_a = 0$ až 70 °C	
Výstupní napětí při úrovni L ($U_i = 6,5$ V, $R_i = 1$ k Ω , $I_{OL} = 250$ mA) $\theta_a \pm 25$ °C:	max. 1,2 V.
$\theta_a = 0$ až 70 °C:	max. 1,5 V.
Výstupní proud při H ($U_{OH} = 10$ V, $I_i = 40$ μ A):	max. 200 μ A.
($U_{OH} = 10$ V, $U_i = 0,5$ V):	max. 200 μ A.
Vstupní proud ($U_i = 10$ V, $I_{OL} = 20$ mA):	max. 3,3 mA.
Odběr proudu ze zdroje ($U_B = 10$ V):	max. 1 mA.



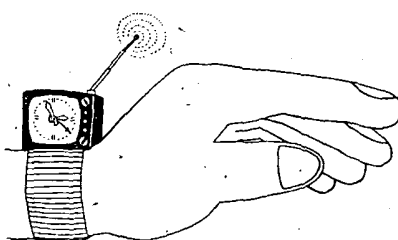
Obr. 124. Časový diagram pro obvod na obr. 123



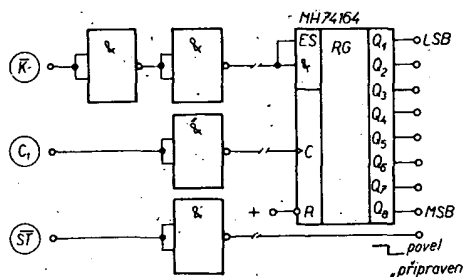
Obr. 126. Impulsní diagram řídicího obvodu



schází (např. při rušení, při neurčitěm stavu po zapnutí), je další převod nemožný. V zapojení je třeba mít startovací impuls, který může být jak externí, tak i interní. Na obr. 126 je vnitřní startovací impuls, který je generován zpožděně startovaným generátorem (SH), jehož zpoždění je delší, než doba převodu převodníku A-D. Při běžném pro-



vozu je tedy signál SH stále v počátečním stavu. Generátor SH je uváděn do činnosti tehdy, když signál ST není přiváděn v potřebné úrovni. První startovací impuls po zapnutí převodníku může být vymazán. Pro zjednodušení řídicího obvodu může být posuvný registr s D195D (IO₄, IO₅) nahrazen MH74164 (osmibitový posuvný registr s paralelním výstupem a nulovacím vstupem). V tomto případě je žádoucí, aby byl přes registr posouván jeden impuls s úrovní 1, neboť u MH74164 je možné je „úštědní“



Obr. 127. Sériové zadávání dat

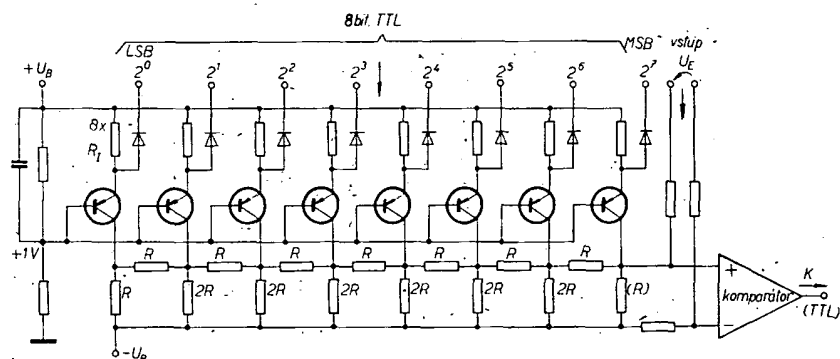
nulování. Vývody pro párované hrany impulsu jsou pak prohozeny. Jako budič lze použít registr MH7475. Při různých aplikacích však požadujeme sériový přenos dat, např. při úspoře vodičů při přenosu na velké vzdálenosti. Sériové informace dat jsou v signálu \bar{K} a musí „jit“ současně s hodinami C_1 . Na obr. 127 je zapojení MH74164 při sériovém přenosu dat, kdy je signál ST použit k ohlášení stavu „připraven“. Data jsou přenesena osmibitovým posuvným registrem.

Postupné přibližování probíhá takto: paměť bitů obsazena – převedena v analogovou veličinu – srovnána se vstupní veličinou – paměť bitů následně korigována atd. Tento sériový postup platí pro každý krok přiblížení a tak každý převod A-D je tvořen osmi převody D-A a osmi srovnáními. Zpoždění převodníku D-A a po porovnání určující čas převodu je směrodatnou veličinou převodníku A-D. Převodník je kompatibilní s obvody TTL. Spínané zdroje konstantního proudu pracující do článkového vedení převodníku A-D jsou pro porovnání nejvhodnějším řešením. Na obr. 128 je zapojení osmi zdrojů konstantního proudu (tranzistor a odpor R), pracujících do článkového vedení, na jehož výstupu dochází k porovnání se vstupní veličinou. Zdroje konstantního proudu jsou řízeny přes diody z paměti bitů. Na výstupu článkového vedení (nezatíženého) je napětí

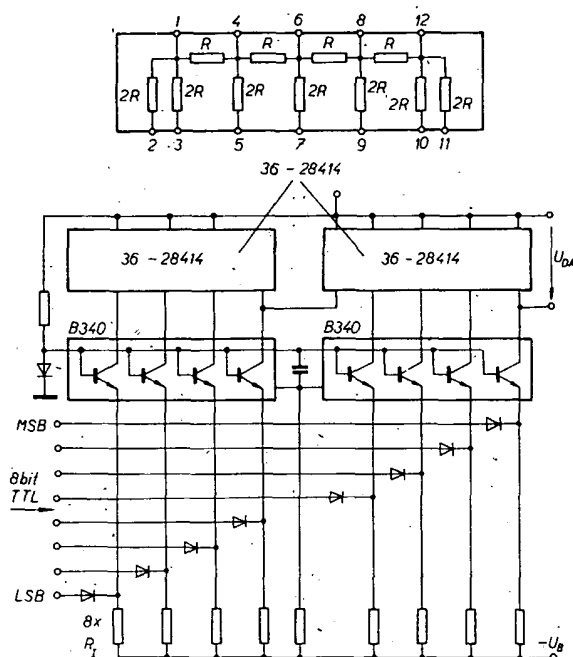
$$U_{DA} = \frac{2}{R} I R_i \sum_{i=0}^7 \frac{N_i}{2^{7-i}}$$

kde I je proud jednotlivými zdroji proudu a N_i stav (0 nebo 1) bitu 2^i . Pro článkové vedení můžeme použít hybridní obvod 36-28414 z VEB Keramische Werke Hermsdorf ($R = 1,5 \text{ k}\Omega$). Na obr. 129 je zapojení převodníku D-A, u něhož je místo jednotlivých tranzistorů využito IO B340D; rozdíl napětí emitor-báze u integrované čtveřice tranzistorů je maximálně 5 mV. Obvod je kompatibilní s obvody TTL.

Kromě obvodů značených D a E jsou na trhu v NDR i obvody P a R stejných funkcí, které jsou určeny pro zájmovou činnost. Cena těchto obvodů se pohybuje od 3 do 20 M (podle složitosti obvodu).



Obr. 128. Převodník D/A s komparátorem dat



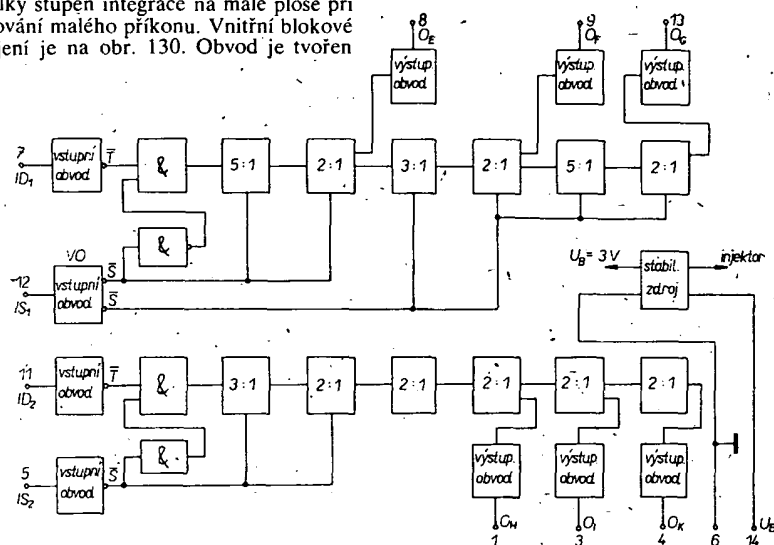
Obr. 129. Převodník D/A s B340D

Integrovaný obvod E350D

Integrovaný obvod E350D je určen především pro rozšíření „časového“ rozsahu integrovaného obvodu E355D, ale může být použit jako univerzální dělič. E350D je zhotoven technologií I²L a je kompatibilní s obvody TTL. Může být použit v rozsahu pracovních teplot -25 až $+85$ °C. Obvod je v pouzdře DIP-14. Technologie I²L umožňuje velký stupeň integrace na malé ploše při zachování malého příkonu. Vnitřní blokové zapojení je na obr. 130. Obvod je tvořen

stabilizátorem napětí, čtyřmi vstupními obvody pro přizpůsobení úrovním TTL, dvěma na sobě nezávislými řetězci děličů, které lze nezávisle řídit a čtyřmi výstupními obvody pro přizpůsobení úrovně I²L úrovním TTL. Parametry E350D jsou uvedeny v tab. 39.

Oba dělicí řetězce jsou tvořeny třemi za sebou zařazenými dělicími stupni s různými dělicími poměry, které budi vždy jeden výstupní obvod. První dělicí řetězec má dělicí



Obr. 130. Zapojení E350D (blokové schéma)

poměry ze vstupu ID_1 na výstupy O_E, O_F, O_G 10 : 1, 60 : 1 a 600 : 1. Druhý dělicí řetězec má ze vstupu ID_2 na výstupy O_H, O_I, O_K dělicí poměry 24 : 1, 48 : 1, 96 : 1. Každý hodinový vstup dělicího členu řetězce může být řízen z výstupu dalšího dělicího členu řetězce, takže je možné realizovat tyto dělicí poměry 240 : 1; 480 : 1; 960 : 1; 1140 : 1; 2880 : 1; 5760 : 1; 14 400 : 1; 28 800 : 1 a 57 600 : 1.

Pro zvýšení šumové imunity při úrovni H je vhodné mezi spoj výstupu a vstupu dělicího členu řetězce a mezi U_B připojit odpor $\approx 4 \text{ k}\Omega$. Dělič „klopí“ při sestupné

hraně signálu přivedeného na ID_1 nebo ID_2 . Střída signálu na výstupu je 1 : 1.

Vstupní obvod

Vstupní obvod slouží pro přizpůsobení vstupní úrovně TTL na úroveň I^2L . Výstupní tranzistor je v tomto obvodu zapojen jako proudové zrcadlo, aby bylo dosaženo definovaných poměrů proudů. Proměnný zrcadlový poměr proudů umožňuje optimálně přizpůsobit vstupní stupeň k následujícím obvodům I^2L , které jsou po obvodové stránce řešeny jinak, než obvody TTL. Odpor zapojený mezi bází a stabilizované vnitřní napětí, který je asi 75 k Ω , zaručuje malou citlivost na rušivé vstupní signály. Prahové napětí je 1,2 V při 25 °C. Vstupní obvod představuje asi 0,25 zátěže obvodu TTL. Všechny vstupy jsou opatřeny diodami.

Výstupní obvod

Výstupní stupeň je v zapojení s otevřeným kolektorem a je navržen pro výstupní proud 4 mA při úrovni L ($N_0 = 2,5$ pro TTL). Maximální závěrné napětí je 7,5 V. Jeden z tranzistorů je zapojen jako proudové zrcadlo, kterým je nastaven proud báze stupně v Darlingtonově zapojení. Proud báze výstupního tranzistoru je nastaven odporem v kolektoru Darlingtonova stupně.

Napájecí obvodu

Napájecí napětí je stabilizováno na 3 V tranzistorem, který má v bázi pět tranzistorů zapojených jako diody – ty slouží jako zdroj referenčního napětí. Činitel stabilizace tohoto obvodu je 10. Vstupní a výstupní obvody jsou napájeny přímo z tohoto stabilizátoru, kdežto obvody I^2L jsou napájeny přes odpor 3,4 k Ω . Tímto odporem se zmenšuje ztrátový výkon, který se mění v teplo. Injekční úroveň hradla I^2L je v rozsahu 0,65 až 1,3 V. Typické proudy ze zdroje při jmenovitých pracovních podmínkách jsou: při všech výstupech na úrovni L je $I_B \approx 5$ mA, na úrovni H 1,5 mA. Tento proud je rozdělen mezi jednotlivé stupně IO takto:
vstupní obvod – 0,1 mA,
stupně I^2L – 0,5 mA,
stabilizovaný zdroj – 0,9 mA,
výstupní obvod (úroveň L) – 3,5 mA,
(úroveň H) – jednotky μA .

Tab. 39. Parametry E350D

Mezní údaje	
Napájecí napětí U_B :	0 až 8 V.
Vstupní proud I_{SI} :	1 mA.
Vstupní napětí U_{SI} :	-0,8 až 7,25 V.
Výstupní napětí U_{SI} :	-0,5 až 8 V.
Ztrátový výkon P_c :	250 mW.
Pracovní teplota:	-25 až +85 °C.
Jmenovité údaje	
Napájecí napětí U_B :	4,75 až 7,25 V.
Vstupní napětí U_{SI} :	2,0 až 5,5 V,
U_{SI} :	0 až 0,8 V.
Statické a dynamické parametry	
Výstupní závěrný proud při $U_B = 7,25$ V:	<250 μA .
Vstupní proud při $U_{SI} = 0,4$ V, $I_{SI} < 0,4$ mA,	$U_{SI} = 2,4$ V, $I_{SI} < 10$ μA .
Výstupní napětí při $I_{SI} = 4$ mA:	<0,4 V.
Odběr ze zdroje při $U_B = 7,25$ V a při všech	výstupech na úrovni L: ≈ 7 mA,
na úrovni H:	≈ 4 mA.
Mezní kmitočet f_H :	≥ 100 kHz.
Délka impulsu nastavení:	≥ 10 μs .
Zpoždění mezi ID_1 a O_G , mezi ID_2 a O_K :	6 μs .
mezi IS_1 a O_G , mezi IS_2 a O_K :	8 μs .

Děliče

Všechny dělicí poměry jsou realizovány v dynamickém provozu. Každý dělič 2 : 1 je sestaven ze dvou klopných obvodů R-S, tvořených hradly s různými injekčními proudy a z toho vyplývajícími různými spínacími rychlostmi. To umožňuje řídit klopné obvody jedním signálem. Po uvolnění vstupů (skok z L na H) se klopný obvod nastaví do definované polohy. Děliče 5 : 1 a 3 : 1 jsou tvořeny klopnými obvody typu D, které jsou spolu propojeny a jsou řízeny synchronně. Tyto děliče pracují ve statickém režimu.

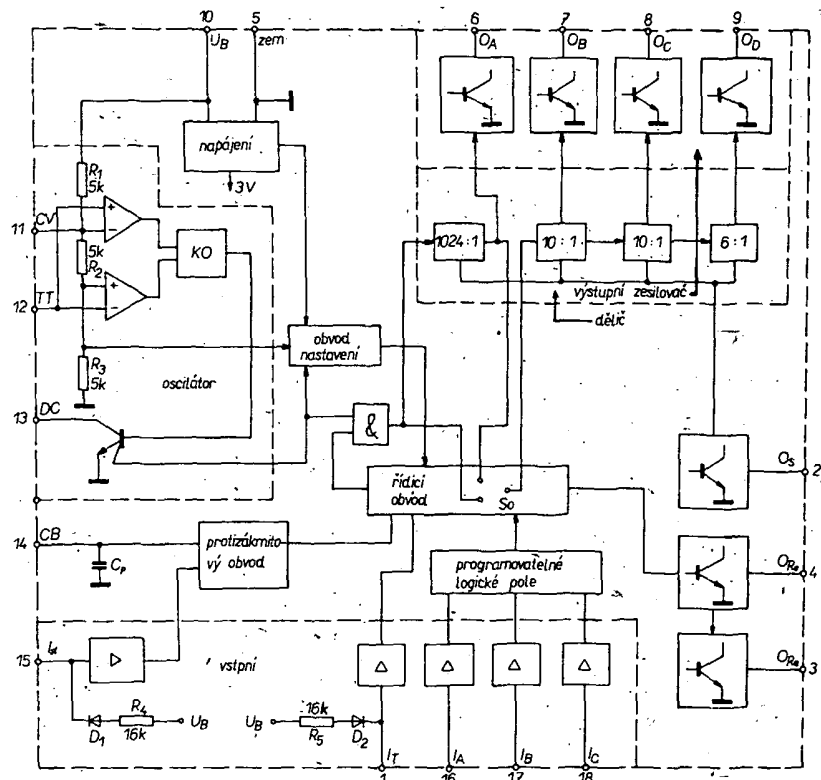
Je-li na IS_1 úroveň L, budou všechny děliče prvního dělicího řetězce ve výchozím stavu a výstupní tranzistory na O_E , O_F , O_G budou uzavřeny. Signál na IS_1 je určující, tzn. že nastavení je nezávislé na signálu přivedeném na ID_1 . Při $IS_1 = H$ zůstává nastavený stav jen tehdy, je-li $ID_1 = H$.

Integrovaný obvod E355D

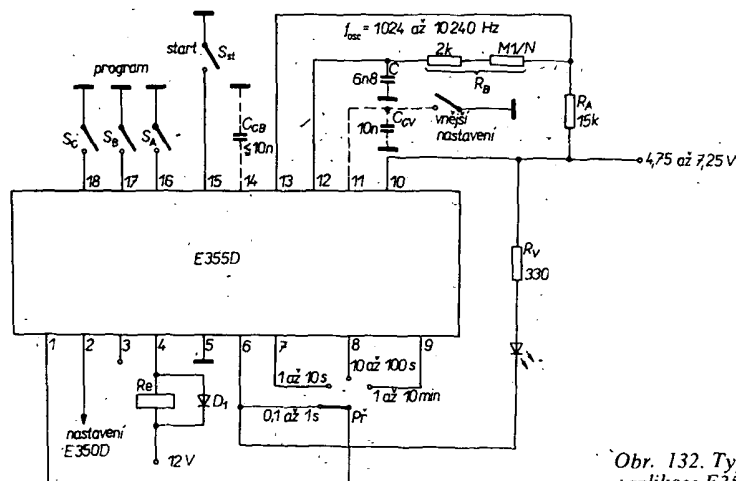
Integrovaný obvod E355D je řídicí časovací obvod, který slouží k realizaci velkých zpoždění. Dělením kmitočtu oscilátoru RC je možné i při vysokém kmitočtu připojit relé 12 V, 50 mA; výstupní signál je i invertován. E355D je zhotoven technologií I^2L a je kompatibilní s obvody TTL.

Vnitřní blokové zapojení E355D je na obr. 131. IO je tvořen relaxačním oscilátorem RC, děliči 1024 : 1, 10 : 1, 10 : 1, 6 : 1, pěti vstupními zesilovači, sedmi výstupními zesilovači, obvodem pro potlačení zákmitů tlačítek, obvodem nastavení, programovatelným logickým polem, řídicí logikou a stabilizovaným zdrojem.

Na obr. 132 je příklad typické aplikace tohoto obvodu. Součástkami R_A , R_B a C je určen kmitočet oscilátoru RC. Spínač S_A , S_B , S_C je možné programovat sedm funkcí. Pře-



Obr. 131. Zapojení E355D (blokové schéma)



Obr. 132. Typická aplikace E355D

pínačem Pf je možno hrubě nastavit dobu zpoždění. Spínačem S_{SI} je určen počátek zpoždění a to podle funkce buď při jeho rozpojení nebo sepnutí. Výstupní signál na O_{RS} budi relé 12 V, 50 mA nebo ekvivalentní zátěž. Na výstupu O_S je signál pro nastavení vstupu I_S IO E350D, s ním lze prodloužit dobu zpoždění. Kondenzátor C_{CB} slouží k nastavení doby potlačení zákrmitů mechanického kontaktu, která vylučuje změnu funkce i při několikanásobném krátkodobém sepnutí kontaktu S_{SI} na vývodu 15. Kondenzátor C_{CV} filtruje napájecí napětí, čímž se zlepšují vlastnosti oscilátoru. Svitivá dioda na výstupu O_A indikuje časový sled impulsů s opakovacím kmitočtem 1 až 10 Hz v závislosti na základním kmitočtu oscilátoru. Spínač S_{SI} umožňuje v libovolném okamžiku stav na výstupu zapojení obnovit, což je velmi výhodné zejména při automatickém zapnutí napájecího napětí nebo na konci časového cyklu.

Oscilátor

S oscilátorem, bez cizího buzení, je možné dosáhnout velké přesnosti nastavení rozsahu požadovaných dob zpoždění. S napájecím napětím se mění úměrně prahová napětí U_{TH} a U_{TL} komparátorů, které je určeno třemi odpory 5 kΩ (R₁, R₂, R₃ v obr. 131). Toto napětí musí být v rozsahu 0,33 až 0,66 U_B. Při typickém zapojení podle obr. 132 se nabíjí kondenzátor C přes odpory R_A a R_B. Dosáhne-li napětí na vstupu 12 horní prahové velikosti, pak se přes horní komparátor přeplojí klopný obvod a kondenzátor C se vybije přes R_B. Při dolní prahové napětí se klopný obvod přes dolní komparátor přeplojí zpět, takže kondenzátor C se nabije znovu. Oscilátor kmitá s periodou

$$T_{osc} = \frac{1}{f_{osc}} = \frac{C(R_A + R_B)}{1,44}$$

Změnou stejnosměrného napětí na vstupu 11 v rozsahu 0,6 U_B až 0,75 U_B tak, aby se automaticky nastavilo napětí 0,66 U_B, můžeme jemně měnit periodu.

$$T_{osc} = C(R_A + R_B) \ln \frac{U_B - U_{CV}}{U_B - U_{CV}} + CR_B \ln 2.$$

Perioda T_{osc} a z ní vyplývající zpoždění t_v jsou lineární funkcí R_A, R_B a C. Na obr. 133 je diagram pro určení kmitočtu oscilátoru. Při zvoleném typu oscilátoru je možné s různými kombinacemi členů RC nastavit stejný kmitočet. Odchyłka od jmenovitého kmitočtu je ±0,8 %.

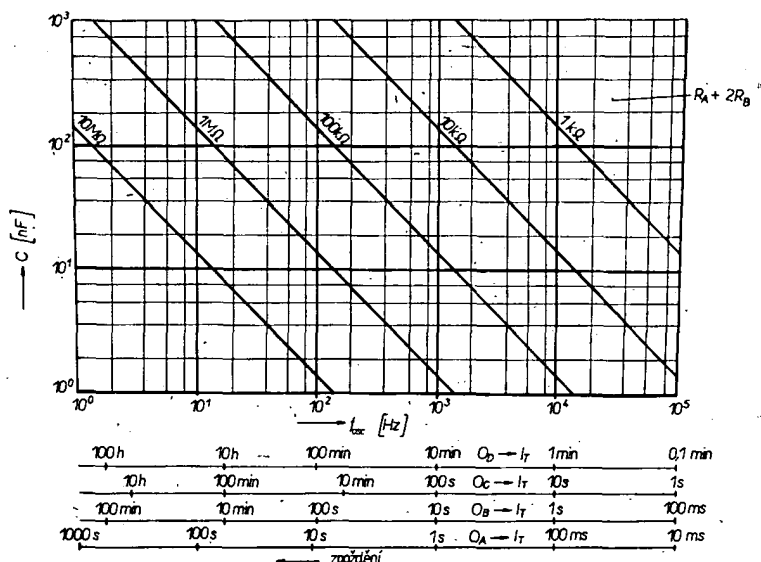
Oscilátor se vyznačuje vysokou teplotní a napětovou stabilitou. Teplotní stabilita je asi 0,015 %/K. Teplotní stabilita je určena především vnějšími součástkami.

Při vyšších kmitočtech oscilátoru se dá očekávat větší závislost kmitočtu na teplotě. Oscilátor je však možné teplotně kompenzovat. Při větších napájecích napětích se vliv teploty na činnost oscilátoru zmenšuje.

Oscilátor může být řízen vnějším signálem na vstupu 12-TT. Oscilátor kmitá (kromě nastavování na CV) po připojení napájecího napětí. Při velmi malém vstupním proudu se jen velmi málo uplatňuje odporová zátěž a to jen v době dosažení obou prahových hodnot napětí.

Rozsah zpoždění

Doba zpoždění je hrubě nastavena propojením výstupů děličů O_A, O_B, O_C nebo O_D se vstupem I_T (viz obr. 132). Připojení (případně odpojení) výstupu relé O_{RS} nebo invertovaného výstupu O_{RS} je umožněno přepínačem Pf. Jemně lze dobu zpoždění nastavit změnou kmitočtu oscilátoru. Na obr. 133 je závislost mezi kmitočtem oscilátoru a dobou



Obr. 133. Diagram k návrhu prvků oscilátoru

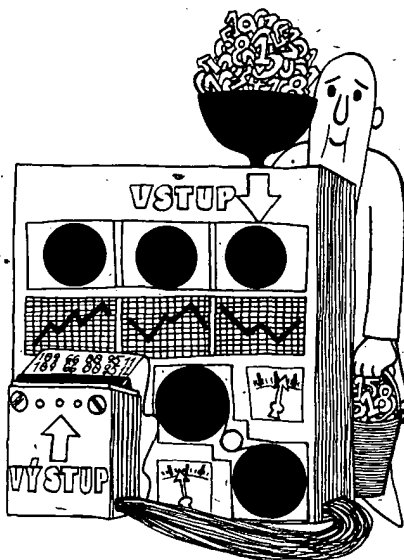
Tab. 40. Rozsah zpoždění u E355D

Rozsah	Spojení I _T	Doba zpoždění	Dělicí poměr
1	O _A	0,1 až 1 s	1 024
2	O _B	1 až 10 s	10 240
3	O _C	10 až 100 s	102 400
4	O _D	1 až 10 min	614 400

zpoždění při zvoleném výstupu děličů propojením se vstupem I_T. Kmitočet oscilátoru lze nastavit v rozsahu 1024 až 10 240 Hz. V tab. 40 jsou uvedeny čtyři rozsahy zpoždění, které ovlivňují výstup O_{RS} nebo O_{RS}. Při použití E350D můžeme zpoždění zvětšit až na 40 dní. Při relativně malé změně kmitočtu oscilátoru lze zpoždění nastavit v rozsahu 0,1 s až 40 dní.

Protože na signál oscilátoru s nízkým kmitočtem má nepříznivý vliv rušení, vlhkost apod., je lépe volit vyšší kmitočet a pro velká zpoždění využít doplňkového obvodu E350D.

Asynchronní děliče jsou řízeny nejprve hranou impulsu na vstupu I_S a pak z oscilátoru. Tím je zajištěno, že i při nízkém kmitočtu oscilátoru (např. 1 Hz) bude výstup O_{RS} sepnut ihned po připojení vstupu I_S.



Zpoždění můžeme vypočítat ze vztahu:

$$t_v = (n - 0,5 \pm 0,5) T_{osc} + t_d$$

kde n je zvolený dělicí poměr podle tab. 40, T_{osc} perioda signálu na vstupu TT, t_d zpoždění obvodu závislé na poloze Pf (je řádu desítek μs).

Na otevřeném kolektoru na výstupu O_A až O_D je při odpovídající zátěži impuls se střídou 1 : 1.

Velká přesnost při volbě velkého dělicího poměru, vycházející z uvedeného vztahu, není využitelná při použití oscilátoru RC vzhledem k jeho základní „kmitočtové“ chybě. Proto požadujeme-li velkou přesnost zpoždění, je nutné použít oscilátor řízený krystalem. Velmi krátkých a přesných zpoždění je možné dosáhnout při velkém dělicím poměru pouze s oscilátorem kmitajícím na vysokém kmitočtu.

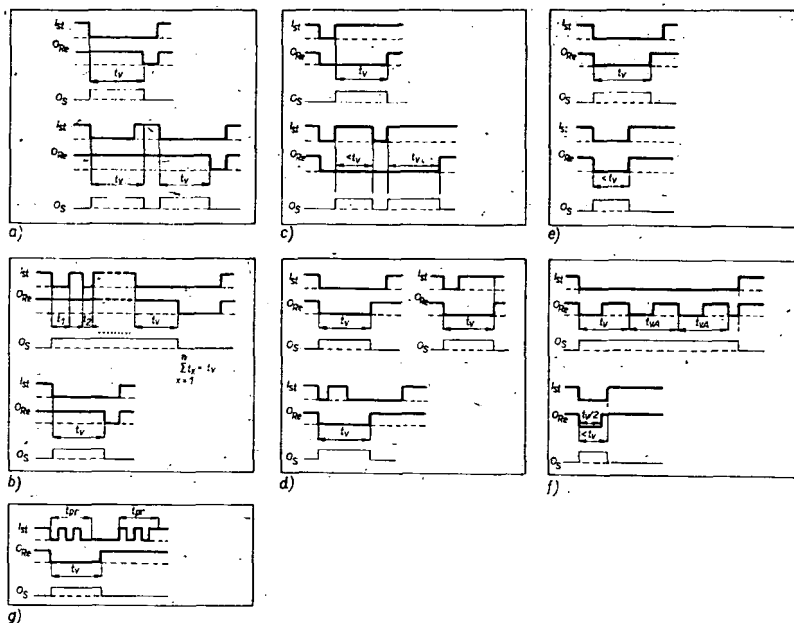
Programování E355D

E355D umožňuje nastavit sedm programů v závislosti na době zpoždění t_v. Tyto funkce lze nastavit připojením binární kombinace (úroveň H nebo L) na vstupy I_A, I_B a I_C. Nastaveným programem je určen časový průběh.

Funkce 1: Zpoždění při zapnutí. Po připojení úrovně L na vstup I_S se spustí dělič. Po proběhnutí doby zpoždění t_v sepnou tranzistor na výstupu O_{RS}. Současně se uzavře tranzistor na vstupu I_S. Výstup O_{RS} se nezmění, i když bude na vstupu I_S úroveň H. Výstupy čítače se dostanou na úroveň H (O_A až O_D = H). Na obr. 134a je časový diagram hlavních úrovní, který je stejný s funkcí 0. Řídící výstup I_S indikuje, je-li (O_S = L) nebo není-li (O_S = H) dělič blokován.

Funkce 2: Součet zpoždění při zapnutí. Při I_A = L, I_B = H, I_C = L se sečtou doby, během nichž je I_S = L. Když součet těchto dob při úrovni L odpovídá nastavenému zpoždění t_v, sepnou výstup O_{RS}. Při následujícím přechodu vstupu I_S na úroveň H se odpojí výstup O_{RS}. Je-li impuls s úrovní L delší než zpoždění t_v, chová se obvod stejně jako při funkci 1. Časový diagram pro funkci 2 je na obr. 134b.

Funkce 3: Zpoždění při vypnutí. Při I_A = H, I_B = H, I_C = L se výstup O_{RS} odpojí. Sestupnou hranou obnoveného impulsu na I_S (před proběhnutím doby t_v) můžeme



Obr. 134. Časový diagram funkcí: a) funkce 1, b) funkce 2, c) funkce 3, d) funkce 4, e) funkce 5, f) funkce 6, g) vliv potlačení zámků na funkci 3

časový průběh přerušit. Průběh může být obnoven přivedením nové vzestupné hrany impulsu na I_{ST} . Časový diagram této funkce je na obr. 134c.

Funkce 4: Překlápění. Při $I_A = L$, $I_B = L$, $I_C = H$ sepne výstup O_{Re} sestupnou hranou vstup I_{ST} . Po proběhnutí nastaveného zpoždění t_v se O_{Re} odpojí, nezávisle na tom, byl-li na vstup I_{ST} přiveden signál či nikoli. Časový diagram tohoto děje je na obr. 134d.

Funkce 5: Přerušení. Při $I_A = H$, $I_B = L$ a $I_C = H$ sepne O_{Re} po přivedení sestupné hrany na vstup I_{ST} . Výstup O_{Re} bude odpojen buď po proběhnutí doby t_v , nebo při přechodu I_{ST} na úroveň H . Časový diagram je na obr. 134e.

Funkce 6: Astabilní multivibrátor. Při $I_A = L$, $I_B = H$ a $I_C = H$ se výstup O_{Re} spíná a odpojuje se střídou 1:1 a periodou t_v . Impuls na I_{ST} , který je kratší než $0,5 t_v$, nezmění stav na O_{Re} . Pro první zpoždění platí předchozí rovnice. Po druhém sledu impulsů platí rovnice $t_{VA} = n T_{osc}$. Časový diagram je na obr. 134f.

Funkce 0: Zpoždění při sepnutí při překlenu-tém děliči. Tato funkce slouží k počátečnímu ověření dob zpoždění u výrobce ($I_A = L$, $I_B = L$, $I_C = L$). Časový diagram je stejný jako u funkce 1. Při funkci 0 jsou děliče 1024:1 a první dělič 10:1 připojeny na oscilátor a tyto děliče jsou vzájemně rozpojeny (viz obr. 131). Tím vzniká možnost dělit kmitočet oscilátoru 10:1. Při připojení výstupu O_A platí vztah: $t_v = (n-0,5 \pm 0,5) T_{osc} + t_d$.

$$t_v = (n+0,5 \pm 0,5) T_{osc} = t_d, \text{ pro } n = 10, 100, 600.$$

Dělič se překlápí při posledních třech funkcích (proti ostatním funkcím) při první vzestupné hraně z TT. Kromě toho doba potlačení zámků t_p musí být delší než T_{osc} .

Obvod pro potlačení zámků má za úkol vyloučit chybnou funkci IO, jsou-li k I_{ST} připojena tlačítka. Obvod pracuje při každé z uvedených funkcí, neboť jak náběžné, tak i sestupné hrany impulsů ovlivňují činnost

vstupu I_{ST} . Obvod blokuje vstup I_{ST} po dobu t_{pr} . Z obr. 134g je zřejmé, že u funkce 4 je nový start kmitajícím kontaktem tlačítka vyloučen. Tento obvod prodlouží každý impuls na I_{ST} tak, že $t_{imp} = t_{pr}$. U funkce 2 budou tedy sečteny jen doby, pro něž platí $t_v > t_{pr}$. Minimální t_{pr} je určena kapacitou C_p (viz obr. 131). Můžeme ji však prodloužit vnějším kondenzátorem, připojeným na vývod CB.

Pro dobu t_{pr} platí

$$t_{pr} = 0,16 + C_{CB} \quad [\text{ms}; \text{nF}].$$

Bez ohledu na tento obvod reaguje vstup I_{ST} na impulsy délky řádu jednotek μs .

Automatické a vnější nastavení

Obvod nastavení slouží k tomu, aby při zapnutí nebo během provozu v případě potřeby bylo možné nastavit výchozí stav požadované funkce. Povel pro nastavení stavu je úroveň L na výstupu nastavení O_S . Bude-li napětí na I_{ST} H a „nabíhá-li“ oscilátor libovolně dlouho, pak se nastaví vnitřní klopný obvod, který sepne tranzistor na výstupu O_S a uzavře tranzistory na výstupu O_A až O_D . Dosáhne-li napětí na U_{TT} horní hranice ($0,66 U_B$), může začít pracovat vnitřní klopný obvod a na vstup I_{ST} lze přivést první impuls. Během provozu můžeme při libovolném stavu krátkodobým signálem L , přivedeným na vývod CV, nastavit výchozí stav. Vstup I_{ST} musí být před skončením signálu L na úrovni H , aby zapojení mohlo být spuštěno.

Bude-li napájecí napětí během provozu na několik μs přerušeno, bude obvod uveden do výchozího stavu, odpočítaná doba bude tedy vymazána. Na vstupu nastavení lze programovat obvod rovněž.

Vlastnosti vstupů a výstupů

Všechny vstupy mohou být buzeny signály TTL. Signály TTL jsou vstupními obvody převedeny na úroveň I^2L . Minimální šířka impulsu pro úroveň L a H je $1 \mu\text{s}$. Přepínací napětí je $1,2 \text{ V}$.

Všechny vstupy obvodu jsou v zapojení s otevřeným kolektorem. Na výstup O_A , který ve spojení s L_{TT} určuje dobu zpoždění, je připojena svítivá dioda pro proud 20 mA , která indikuje běžící čas. Dioda kmitá se

střídou 1:1. Na výstupu O_{Re} je opačná informace, než na výstupu O_{Re} , výstup O_{Re} má menší proudovou zatížitelnost (asi 4 mA). Z tohoto výstupu lze budít např. externí „výkonový“ tranzistor. Výstupní signál tranzistoru je pak shodný se signálem na výstupu O_{Re} . Všechny výstupní úrovně jsou vzhledem k použitému vnitřnímu stabilizátoru konstantní.

Jmenovité údaje E355D jsou v tab. 41. Celý IO má asi 1000 součástek na ploše 5 mm^2 .

Tab. 41. Parametry E355D

Napájecí napětí: 4,75 až 7,25 V.
Odběr ze zdroje ($U_B = 7,25 \text{ V}$): 10 až 15 mA.
Vstupní proud ($U_{vst} \pm 0,4 \text{ V}$) $-I_{IL}$ na I_A , I_B , I_C : 6 μA , na I_{ST} , I_T : 350 μA .
Výstupní proud ($U_{vst} = 0,4 \text{ V}$) I_{OL} na O_A : >20 mA, na O_B , O_C , O_D , O_S , O_{Re} : >4 mA, na O_{RS} ($U_{vst} \pm 0,5 \text{ V}$): >50 mA, na DC ($U_{vst} \pm 0,2 \text{ V}$): >10 mA.
Závěrné napětí na výstupu O_{RS} : >14,5 V, na O_A , O_B , O_C , O_D , O_{Re} , O_S , DC: 7,25 V.
Pracovní teplota: -25 až +85 °C.
Maximální kmitočet oscilátoru; f_{osc} , f_{TT} : >100 kHz.

Použití E355D jako děliče kmitočtu

E355D může být použit jako asynchronní dělič kmitočtu s mezním kmitočtem minimálně 100 kHz. Vstup I_T je v tomto případě na úrovni H . Na výstupech O_A až O_D jsou signály nižších kmitočtů se střídou 1:1. Po zapnutí napájecího napětí (případně při připojení úrovně L v kterémkoli okamžiku na CV) budou výstupy děličů na úrovni H . Po „uvolnění“ se přepnou všechny do úrovně L . K „uvolnění“ dojde při příchodu hrany impulsu na I_{ST} . Nakonec je dělič řízen signálem na TT, přičemž ho vzestupná hrana překlápí. Dělení můžeme přerušit buď na I_{ST} , nebo impulsem $H \rightarrow L \rightarrow H$ na I_T . Při tom se všechny výstupy děličů překlápí do úrovně H . Přerušení není možné při funkci 6.

V tab. 42 je závislost vlastností děliče na jednotlivých funkcích. Při použití obvodu jako děliče můžeme negované signály TT odebrat na vývodu DC (obr. 131).

Tab. 42. Vlastnosti E355D jako děliče kmitočtu

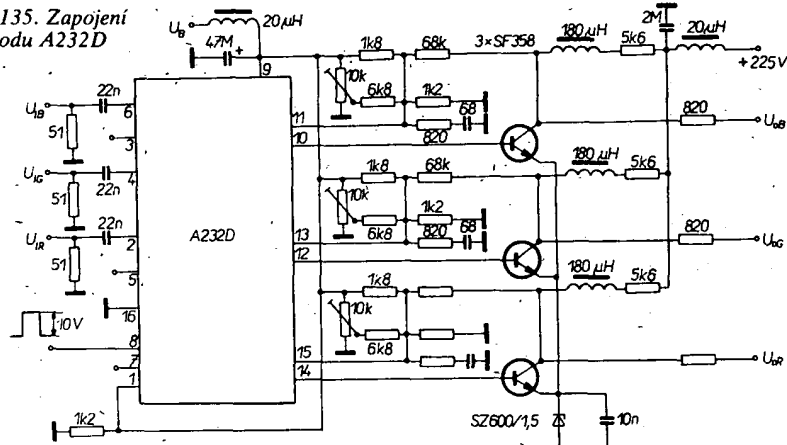
Funkce	Dělicí poměr	Hrana na I_{ST}		Výstupní úroveň po „stop“
		uvolnění	„stop“	
1, 5, 6		HL	LH	H
2	1024:1 (TT- O_A) 10 240:1 (TT- O_B)	HL	LH	podle stavu
3	102 400:1 (TT- O_C)	LH	HL	H
4	614 400:1 (TT- O_D)	HL	-	(H)
7		HL	HL	H
0	1024:1 (TT- O_A)	HL	LH	H
0	10:1 (TT- O_B)	HL	LH	H
0	100:1 (TT- O_C)	-	LH	H
0	600:1 (TT- O_D)	HL	LH	H

Během minulého roku se v NDR začaly vyrábět nové analogové obvody, s nimiž bych chtěl čtenáře alespoň stručně seznámit.

Integrovaný obvod A232D

Integrovaný obvod A232D je matice RGB, určená pro barevné televizní přijíma-

Obr. 135. Zapojení obvodu A232D



klíčování, obvod ADK (je ho možno odpojit), zesilovač AVC s výstupním napětím pro tunery s tranzistory p-n-p (vhodné též pro tunery s diodami PIN), externě nastavitelný bod nasazení AVC, obvod vyklíčování poruch při ultračerné a ultrabílé. K obvodu je možné připojit jak cívkový filtr, tak i filtr s postupnou vlnou (monolitický). V obvodu je i vypínač obrazového signálu, aby bylo možné připojit externí zdroj signálu. Obvod je v pouzdře DIP-16, jeho zapojení je na obr. 136 a parametry jsou v tab. 44. Obvod je ekvivalentem IO TDA2541 fy Valvo.

Integrovaný obvod A311D

Integrovaný obvod A311D je určen pro „fotografické“ účely, pro převod vstupních veličin: jasů objektu, citlivosti filmu a zclonění na elektrickou veličinu, kterou je

Tab. 43. Parametry A232D

Mezní údaje:
Napájecí napětí: maximálně 13.2 V.
Vstupní napětí Y, U_1 : 0 až 13.2 V.
Napětí pro nastavení zisku, U_3 ; U_5 : 0 až 13.2 V.
Rozdílové vstupní napětí barev, U_2 , U_4 , U_6 : 0 až 13.2 V.
Zatměňovací napětí, U_7 : -0.5 až 0.3 U_B .
Vstupní napětí klíčovací, U_8 : 0 až 13.2 V.
Výstupní napětí, U_{10} , U_{12} , U_{14} : $U_B + 3$ V.
Zpětnovazební napětí, U_{11} , U_{13} , U_{15} : 0.3 U_B až U_B .
Vstupní proud klíčovací, $-I_8$: maximálně 1 mA.
Ztrátový výkon ($T_p = 25^\circ\text{C}$): maximálně 1.2 W.
Pracovní teplota T_p : -25 až +60 $^\circ\text{C}$.
Statické údaje ($T_p = 25^\circ\text{C}$ - 5 $^\circ\text{C}$, $U_B = 12$ V, $U_1 = 1.5$ V)
Odběr ze zdroje, I_{B0} : 85 mA.
Vstupní rozdílový proud barev, I_{12} , I_{14} , I_{16} : 3 μA .
SVorkové impulsní napětí, klíčování zapnuto, U_{8k} : min. 7.5 V,
klíčování vypnuto, U_{8k} : max. 6.5 V,
zatemňování vypnuto, U_{8A} : min. 2 V,
zatemňování zapnuto, U_{8A} : max. 1 V.
Vstupní proud pro klíčování, klíčování zapnuto, I_8 : max. 1 μA ,
klíčování vypnuto, $-I_8$: max. 60 μA .
Vstupní zatměňovací napětí, U_7 , zatemňování zap.: min. 1 V;
zatemňování vyp.: max. 0.5 V.
Výstupní proud, I_{10} , I_{12} , I_{14} : min. 3.5 mA.
Zpětnovazební napětí, U_{11} , U_{13} , U_{15} : min. 5.9, max. 6.1 V.
Rozsah nastavení napětí $U_{3,5}$: 0 až 10 V.
Napětí pro jmenovitý zisk, $U_{3,5}$: typicky 5 V.
Dynamické údaje ($T_p = 25^\circ\text{C}$ - 5 $^\circ\text{C}$, $U_B = 12$ V, $U_1 = 1.5$ V) >
Jmenovité zesílení mezi vstupy diferenciálního zesilovače barev nebo typ. 0 dB.
Rozsah nastavení jmenovitého zesílení $\Delta U_{3,5} = \pm 5$ V, ΔA_w : min. 40 %.
Střmost diferenciálních zesilovačů, S_D : max. 25 mA/V.
Integrované zatěžovací odpory, $R_{10/9}$: typ. 640 Ω , $R_{12/9}$, $R_{14/9}$: typ. 640 Ω .

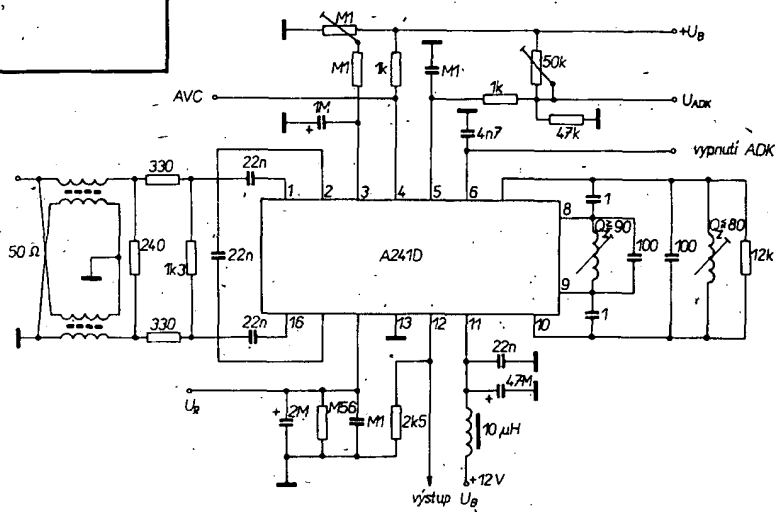
Tab. 44. Parametry A241D

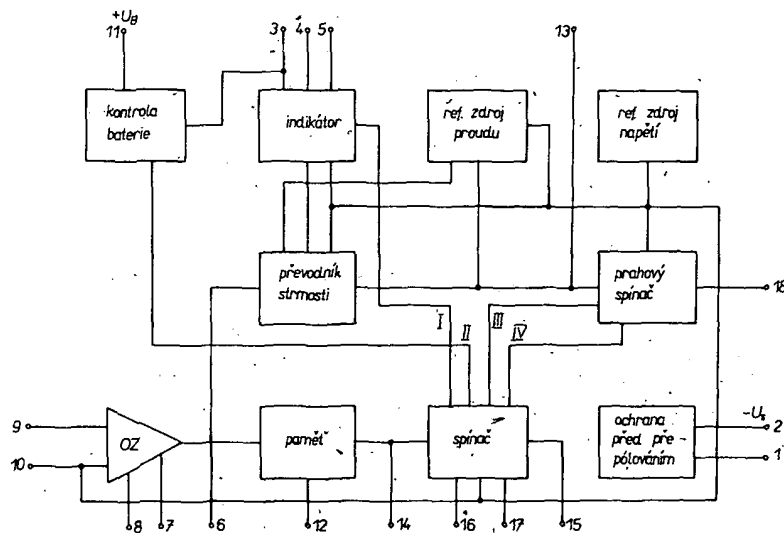
Mezní údaje
Napájecí napětí U_{11} : max. 14 V.
Spínací napětí ADK, U_6 : max. 6 V.
Regulační proud pro tuner, I_4 : max. 12 mA.
Proud ADK, I_5 : max. ± 1 mA.
Provozní teplota: -25 až +60 $^\circ\text{C}$.
Statické údaje ($T_p = 25^\circ\text{C}$, $U_{11} = 12$ V)
Odběr ze zdroje, I_{B0} : max. 70 mA.
Výstupní napětí ($U_1 = 0$, $U_{14} = 8.1$ V), U_{12} : 5.7 až 6.3 V.
Výstupní napětí AVC „zapnuto“ ($I_4 = 10$ mA), $U_{14} = 6$ V), U_4 : max. 300 mV.
Výstupní proud AVC ($U_{14} = 6$ V), I_4 : max. 10 mA.
Spínací napětí ADK „zapnuto“, U_6 : min. 3 V,
„vypnuto“, U_6 : max. 2 V.
Spínací napětí VCR „vypnuto“, U_{14} : max. 1.1 V.
Symetrie ADK ($U_1 = 0$, $U_5 = 6$ V), I_5 : -40 až +40 μA .
Dynamické údaje ($T_p = 25^\circ\text{C}$, $U_{11} = 12$ V)
Amplituda na výstupu BAS při 10% zbytku nosné ($U_1 = 20$ mV, efekt. napětí), U_{12} mV: 2.25 až 3.05 V.
Úroveň synchronizace ($U_1 = 20$ mV, efekt.), U_{12} : 2.9 až 3.05 V.
Proud ADK ($U_1 = 20$ mV, efekt., $f = f_n \pm 100$ kHz), I_5 : ± 200 μA .
Mf zvuku na výstupu obrazového zesilovače se selektivitou $f_{50} = 6.5$ MHz, $f_{10}/f_{50} = 30$ dB, U_{DF} : min. 40 mV.
Minimální vstupní napětí pro dosažení synchronizace: 200 μV .
Rozsah regulace Δa_{mf} : min. 50 dB.
Zbytkové napětí 38.9 MHz na výstupu obraz. zesilovače ($U_1 = 20$ mV, efekt.); U_{mf} : max. 50 mV.
Zbytkové napětí 77.8 MHz na výstupu obraz. zesilovače ($U_1 = 20$ mV, efekt.), U_{mf} : max. 50 mV.
Šířka pásma obraz. zesilovače ($U_{12}(1.5 \text{ MHz})/U_{12}(B_{obr.})$ pro $U_{16-1} = 100$ mV (38.9 MHz) a $U_{16-1} = 5$ mV (37.4 až 31.9 MHz), $B_{obraz.}$: min. 7 MHz.
Účinnost automatické regulace ($a_{mf} = 50$ dB): max. 2 dB.

če. Je vhodný pro buzení obrazových zesilovačů malého výkonu v BTV s obrazovkou PIL. V obvodu A232D je přepínač, umožňující připojit externí zdroj signálu, např. videomagnetofon. Obvod je možné připojit na dekodéry barev různých provedení, je jím možné řídit zesílení při nastavování vř složky, má zjednodušené nastavení potlačení rušení zpětnou vazbou a dobrou stabilitu úrovně černé. Obvod je v pouzdře DIP-16, jeho zapojení je na obr. 135 a parametry v tab. 43.

Integrovaný obvod A241D

Integrovaný obvod A241D je obrazový mezifrekvenční zesilovač s obvodem ADK, určený pro černobílé a barevné televizní přijímače. Obvod tvoří třístupňový regulační mf zesilovač, vnitřní obvod AVC bez



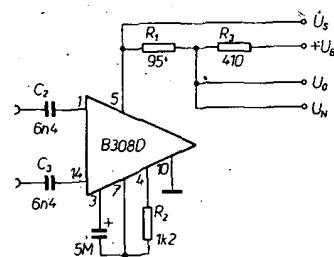


Obr. 137. Zapojení obvodu A311D

dobu expozice filmu (0,002 až 2 s). Při vestavění do fotopřístroje je možné „zviditelnit“ buď kontrolu baterie, nebo indikátor doby osvitů. IO umožňuje přístroji, aby si změřenou expozici po dobu 10 s „pamatoval“. Napájecí napětí je 6 V, vstupní napětí = 7 V, výstupní napětí ≈ 12 V, proud zátěží = 40 mA a rozsah pracovních teplot -10 až 55 °C. Blokové schéma je na obr. 137.

Integrovaný obvod B308D

Integrovaný obvod B308D je neregulovatelný mikrofonní zesilovač, určený pro piezoelektrický telefonní mikrofon. Obvod je tvořen vstupním rozdílovým zesilovačem s malým šumem, druhým rozdílovým zesilovačem a třístupňovým koncovým zesilovačem, který je zdvojen, aby bylo dosaženo nezávislosti na polaritě napájecího napětí. Dále je v obvodu stabilizátor pro trvalé nastavení pracovního bodu, zpětnovazební obvod a obvod pro připojení předzesilovače na koncový zesilovač. Integrovaný obvod B308D je v pouzdře DIP-14, jeho zapojení je na obr. 138, parametry v tab. 45.



Obr. 138. Zapojení obvodu B308D

a spínaných zdrojů (ekvivalent TDA1060), A277D – obvod pro řízení 12 svítivých diod; A283D – jednočipový přijímač AM-FM (ekvivalent TDA1083), B318D – regulovaný mikrofonní zesilovač pro telefonní mikrofony, D394D – obvod pro buzení koncových stupňů krokových motorů a magnetů, C520D – 8bitový převodník A/D (AD2020), U830C, U832C, U834C – 16bitový mikroprocesorový systém, U825F, U826F – obvody pro kalkulačky a U114D,

Tab. 45. Parametry B308D

Mezní údaje	
Napájecí proud I_B : min. 10, max. 100 mA.	
Výstupní proud ($t_p = 100$ ms při mezeře = 10 ms), I_S : max. 350 mA.	
Provozní teplota T_P : -25 až +55 °C.	
Statické údaje ($T_P = 25$ °C -5 °C)	
Napájecí napětí ($R_1 = 95 \Omega$, $R_2 = 1,2$ k Ω , $R_3 = 410 \Omega$, $U_1 = 0$, $I_S = 35$ mA), U_B : max. 8,5 V.	
Dynamické údaje	
($R_1 = 95 \Omega$, $R_2 = 1,2$ k Ω , $R_3 = 410 \Omega$, $I_S = 35$ mA, $f = 1$ kHz, $T_O = 25$ °C -5 °C)	
Napěťové zesílení ($C_2 = C_3 = 6,4$ nF, $U_1 = 10$ mV), A_u :	
a) 30,2 až 33,7 dB,	
b) 32,3 až 35,7 dB,	
c) 34,3 až 37,7 dB,	
d) 36,3 až 39,7 dB.	
Změna napěťového zesílení ($f_1 = 1$ kHz, $f_2 = 300$ Hz,	
$U_1 = 10$ mV), A_{u1} : max. 3 dB.	
Změna zesílení při přepólování ($U_1 = 10$ mV,	
$C_2 = C_3 = 6,4$ nF): max. 1 dB.	
Psofometrické výstupní šumové napětí ($U_1 = 0$), \bar{U}_n : max. 0,5 mV.	

Kromě těchto obvodů a obvodů řady U, které jsou uvedeny na dalších stranách, jsou v NDR vyvíjeny nebo vyráběny následující IO: B260D – obvod pro řízení měničů napětí

U124D – obvody pro analogové hodiny, dva typy mikroprocesorů atd. O těchto obvodech bude pojednáno v některém z dalších čísel AR.

INTEGROVANÉ OBVODY MOS ŘADY U...D

Integrované obvody MOS jsou obvykle digitální obvody určené pro negativní logiku. Technologicky jsou to obvody MOS s kanálem p, které mají vstupy chráněny proti průrazu diodami. Přesto při práci s nimi je nutno zachovávat následující pravidla:

- IO se nesmí pokládat na podložku ze skla, plastické hmoty a dřeva. Pracoviště, kde se s těmito obvody pracuje, musí být vodivě spojeno se zemí. Pro spojení několika pracovišť používáme společnou zem;
- součástky (IO) se smí vyjmout z transportního obalu až těsně před použitím. Při transportu a dalším zpracování musíme vyloučit možnost vzniku elektrostatického náboje. Jako mezivrstvu mezi dvěma vrstvami

skladovaných součástek je nutno používat kovovou desku (v kovové krabici, nenalakované);

- všechna zařízení, v nichž jsou obvody MOS, musí být přemísťována v kovových obalech, abychom vyloučili jakýkoli elektrostatický náboj;
- jakýkoli styk ruky s kovovými vývody IO musí být vyloučen. Musí být zajištěno, že pracovník, který pracuje s prvky MOS, je na „stejném potenciálu“, jako tyto prvky (stejně tak páječka a měřicí přístroje). Jako sedadlo musí být použita dřevěná židle s textilním sedadlem (ne z plastické hmoty!!);
- vývody použitých konektorů musí být do doby prvního zasunutí zkratovány a rovněž musí být zkratovány při dopravě.

Nepoužité vstupy musí být připojeny na úroveň H nebo L, neboť není nijak zaručena požadovaná funkce vzhledem k velkému vstupnímu odporu, výstup by mohl mít nedefinovanou úroveň.

Integrovaný obvod U101D

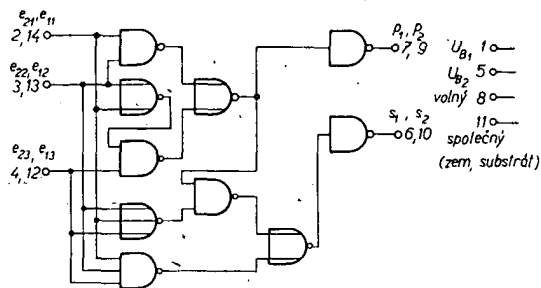
Integrovaný obvod U101D jsou dvě úplné sčítačky. Tři dvojková čísla mohou být sečtena a výsledek bude přenesen na výstup suma (součet, s) a výstup přenos (p). Obvod je umístěn v pouzdře DIP-14, jeho zapojení je na obr. 1 a parametry v tab. 1. Pro jednu sčítačku platí logické vztahy

$$s = e_1e_2e_3 + e_1\bar{e}_2\bar{e}_3 + \bar{e}_1\bar{e}_2e_3 + \bar{e}_1e_2\bar{e}_3,$$

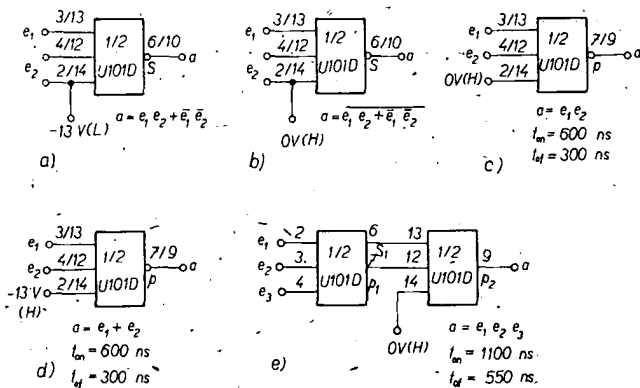
$$p = e_1e_2 + e_2e_3 + e_1e_3,$$

z nichž vyplývá pravdivostní tabulka

e_1	e_2	e_3	s	p
H	H	H	H	H
H	H	L	L	H
H	L	H	L	H
H	L	L	H	L
L	H	H	L	H
L	H	L	H	L
L	L	H	H	L
L	L	L	L	L



Obr. 1. Zapojení U101D



Obr. 2. Hradla s U101D

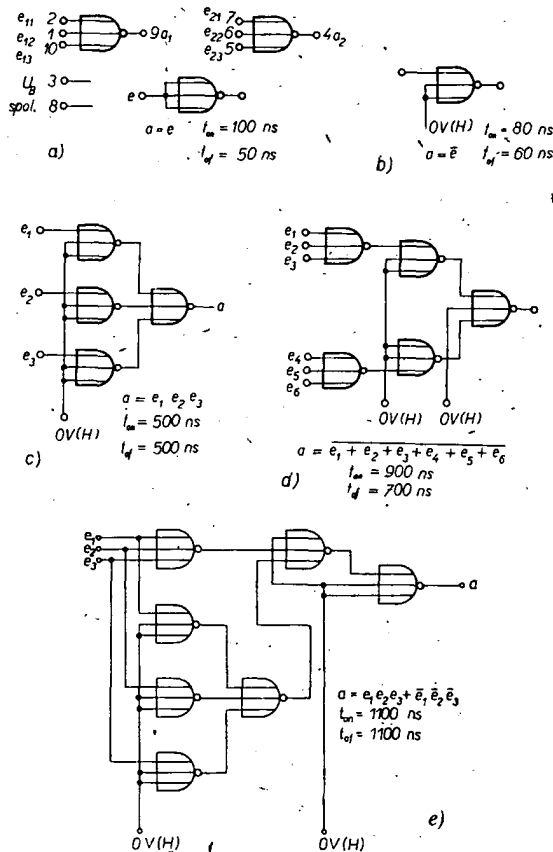
U101D je ekvivalentem IO MEM1000 fy General Instruments. Integrovaný obvod U101D je možné zapojit jako ekvivalenční hradlo (obr. 2a), antivalenční hradlo (obr. 2b), dvojitupové hradlo AND (obr. 2c), dvojitupové hradlo OR (obr. 2d), třívstupové hradlo AND (obr. 2e). Logické rovnice jsou u jednotlivých obrázků.

Integrovaný obvod U102D

Integrovaný obvod U102D jsou dvě třívstupová hradla NOR (obr. 3a), umístěná

v pouzdře DIP-10, pro něž platí logická rovnice: $a = e_1 + e_2 + e_3$ a je ekvivalentem IO MEM1002 fy General Instruments. Tento obvod můžeme zapojit jako invertor a to dvěma různými způsoby: v prvním případě spojíme vzájemně všechny vstupy. Tento způsob zapojení invertoru má však nevýhodu ve zvětšené vstupní kapacitě, proto je lepší použít druhý způsob, kdy dva vstupy spojíme s napětím 0 V (úroveň H) a pro invertor

použijeme jen třetí vstup (obr. 3b). U102D je možné zapojit i jako třívstupové hradlo AND (obr. 3c), hradlo NOR se šesti vstupy (obr. 3d), třívstupové ekvivalenční hradlo (obr. 3e). Na obr. 4a je zapojení monostabilního multivibrátoru, který pro svoji funkci využívá zpoždění hradel. Bude-li na vstupu



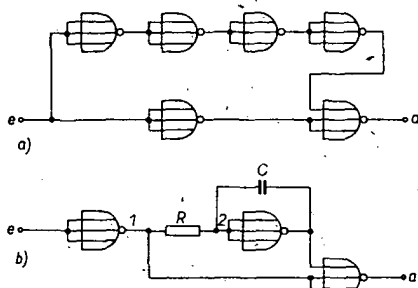
Obr. 3. Zapojení U102D

Tab. 1. Parametry U101D

Mezní údaje:	
Napájecí napětí U_{B1} :	-31 až +0,3 V.
Napájecí napětí U_{B2} :	-31 až +0,3 V.
Vstupní napětí:	-25 až +0,3 V.
Vstupní špičkové napětí ($t/T = 1 : 10$):	-31 V.
Vstupní impulsní špičkový proud ($t_p = 1 \mu s$):	+2 mA.
Provozní teplota:	0 až 70 °C.
Statické údaje při $U_{B1} = -27 V$, $U_{B2} = -13 V$, $25^\circ C$	
Vstupní zbytkový proud při $U_{vi} = -25 V$:	max. -10 μA .
Výstupní napětí L při $U_{siH} = 2 V$, $U_{siL} = -9 V$:	$R_z = 100 k\Omega$: min. -10 V.
Výstupní napětí H při $U_{siH} = -2 V$, $U_{siL} = -9 V$:	$R_z = 100 k\Omega$: max. -1 V.
Výstupní napětí při $I_z = 1 mA$, $U_{siH} = 2 V$, $U_{siL} = -9 V$:	min. -5 V.
Výstupní napětí při $I_z = -1 mA$, $U_{siH} = -2 V$, $U_{siL} = -9 V$:	max. -3 V.
Odběr ze zdroje U_{B1} (U_{B2}) při $U_{si} = -12 V$, $f = 250 kHz$ ($t/T = 1 : 2$):	I_1 typ. -1,8 mA (I_2 typ. -0,6 mA).
Vstupní kapacita při $U_{B1} = U_{B2} = 0 V$, $f = 0,5$ až 2 MHz:	max. 6 pF.
Dynamické údaje	
Zpoždění ($C_z = 20 pF$)	
t_{on} :	typ. 350 ns.
t_{off} :	typ. 450 ns.
t_{ol} :	typ. 400 ns.
t_{sp} :	typ. 250 ns.
Rušivá kapacita:	min. 25 pF.

Tab. 2. Parametry U102D

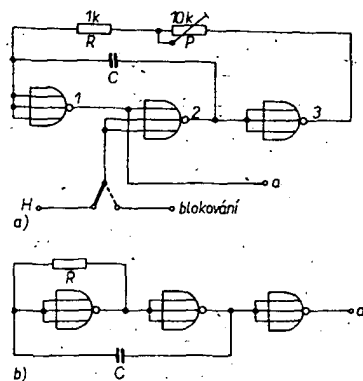
Mezní údaje	
Napájecí napětí:	-31 až +0,3 V.
Vstupní napětí:	-25 až +0,3 V.
Vstupní špičkové napětí:	-31 V.
Vstupní špičkový proud:	+2 mA.
Provozní teplota:	0 až 70 °C.
Statické údaje ($U_B = -26$ až 29 V, $25^\circ C$)	
Vstupní zbytkový proud při $U_{vi} = -25 V$:	max. 10 μA .
Výstupní napětí L při $U_{siH} = 2 V$, $U_{siL} = -9 V$:	$R_z = 100 k\Omega$: min. -10 V.
Výstupní napětí H při $U_{siH} = -2 V$, $U_{siL} = -9 V$:	$R_z = 100 k\Omega$: max. -1 V.
Výstupní napětí L při $I_z = 1 mA$, $U_{siH} = 2 V$:	$U_{siL} = -9 V$: min. -5 V.
Výstupní napětí H při $I_z = 1 mA$, $U_{siH} = -2 V$:	$U_{siL} = -9 V$: max. -4 V.
Vstupní kapacita při $U_B = 0 V$, $f = 0,5$ až 2 MHz:	6 pF.
Dynamické údaje	
Zpoždění	
t_{on} :	typ. 400 ns, max. 550 ns.
t_{off} :	typ. 150 ns, max. 325 ns.
Rušivá kapacita:	max. 25 pF.



Obr. 4. Zapojení monostabilních multivibrátorů s U102D

úroveň H, pak na výstupu bude rovněž úroveň H. Bude-li mít vstupní signál úroveň L, bude na výstupu rovněž L. Teprve při změně úrovně vstupu z H na L začnou pracovat horní čtyři hradla invertorů, výstupní napětí se změní na H, nezávisle na tom, je-li na vstupu úroveň L nebo ne. Na obr. 4b je varianta monostabilního multivibrátoru s časovacím obvodem RC. Je-li na vstupu úroveň H, bude H i na výstupu. Změní-li se vstupní signál na L, změní se rychle i výstupní signál na L. Kondenzátor C se vybíjí přes odpor R, takže napětí v bodě 2 se mění pomalu podle exponenciální funkce. Bude-li překročen práh druhého invertoru, objeví se na výstupu úroveň H. Při návrhu multivibrátoru je třeba kromě doby přidržení mít na paměti i dobu zotavení.

Na obr. 5 je zapojení dvou astabilních multivibrátorů. U multivibrátoru na obr. 5a je možné zamezit kmitání připojením úrovně L na vstup jednoho hradla. Změnou obvodu RC můžeme měnit kmitočet výstupního signálu. Kondenzátor C je neustále nabíjen

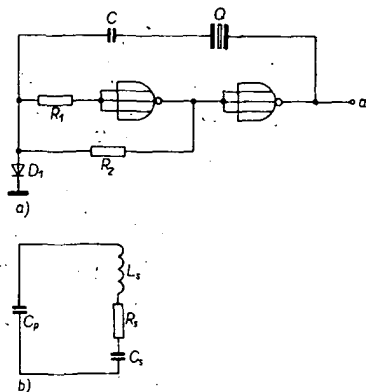


Obr. 5. Zapojení astabilních multivibrátorů s U102D

nebo vybíjen. Má-li být multivibrátor vyrazen z funkce, přivedeme na blokovací vstup úroveň L, čímž se úroveň v bodě 2 změní trvale na H. Na výstupu je pak rovněž úroveň H, úroveň v bodě 1 bude L. Zapojení na obr. 5b není možné vyřadit z funkce. Dále jsou uvedeny kapacity kondenzátorů pro různé kmitočty.

C	f
100 nF	2,2 až 4,3 kHz
47 nF	5,9 až 7,7 kHz
15 nF	16,8 až 21 kHz
6,8 nF	33 až 41 kHz
1,5 nF	90 až 141 kHz
220 pF	250 až 330 kHz

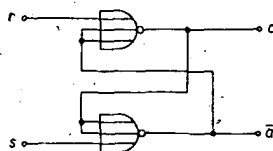
Na obr. 6a je zapojení krystalového oscilátoru s U102D. Krystal je zapojen v obvodu zpětné vazby. Na obr. 6b je náhradní obvod krystalu, z kterého je zřejmé, že kmitavý obvod má jak sériovou, tak i paralelní rezonanci. Protože $C_p > C_s$, jsou obě rezonance velmi blízko sebe. Pod rezonančním sériovým kmitočtem má krystal charakter kapacity. Při sériové rezonanci je impedance minimální a čistě reálná. Mezi sériovou a paralelní rezonancí se chová krystal jako indukčnost a nad paralelní rezonancí se chová opět jako kapacita. Při paralelní rezonanci je impedance maximální. Oscilátor na obr. a je na základě těchto skutečností stabilizován obvodem RC.



Obr. 6. Zapojení krystalového oscilátoru s U102D

Klopný obvod s U102D je na obr. 7. Při střídavém přivádění úrovně L na vstup r (nebo s) můžeme měnit úroveň na výstupu. Bude-li na vstupu s úroveň L, pak bude na výstupu úroveň L, při L na vstupu r se na výstupu objeví opět úroveň H.

Parametry U120D jsou uvedeny v tab. 2.



Obr. 7. Zapojení klopného obvodu s U102D

Integrovaný obvod U103D

Integrovaný obvod U103D je klopný obvod RST, který je možné vstupů r a s (nezávisle na úrovni na vstupu hodin) nastavit na požadovanou výstupní úroveň. Obvod je v pouzdře DIP-10, jeho zapojení na obr. 8 a parametry v tab. 3.

S U103D můžeme vytvořit dělič kmitočtu s libovolným dělicím poměrem. Je třeba vzít v úvahu, že dělicí poměr jednoho obvodu je

Tab. 3. Parametry U103D

Mezní údaje

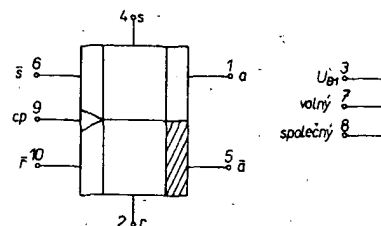
Napájecí napětí: -31 až +0,3 V
Vstupní napětí: -31 až +0,3 V
Špičkové vstupní napětí: -31 V
Špičkový vstupní impulsní proud: +2 mA
Provozní teplota: 0 až 70 °C.

Statické údaje

(25 °C a $U_B = -26$ až -29 V)
Vstupní zbytkový proud při $U_{st} = -25$ V: max. 10 μ A.
Výstupní napětí L při $-U_{stH} = 2$ V, $-U_{stL} = 9$ V, $R_z = 100$ k Ω : min. -10 V.
Výstupní napětí H při $-U_{stH} = 2$ V, $-U_{stL} = 9$ V, $R_z = 100$ k Ω : max. -1 V.
Výstupní napětí L při $-U_{stH} = 2$ V, $-U_{stL} = 9$ V, $I_z = -1$ mA: min. -5 V.
Výstupní napětí H při $-U_{stH} = 2$ V, $-U_{stL} = 9$ V, $I_z = -1$ mA: max. -2 V.
Kapacita na vstupu signálu při $U_B = 0$ V, $f = 0,5$ až 2 MHz: max. 8 pF.
Kapacita na vstupu hodin při $U_B = 0$ V, $f = 0,5$ až 2 MHz: max. 11 pF.

Dynamické údaje:

Zpoždění t_{oi} : typ. 400 ns, max. 550 ns.
 t_{of} : typ. 350 ns, max. 550 ns.
Rušivá kapacita: max. 30 pF.

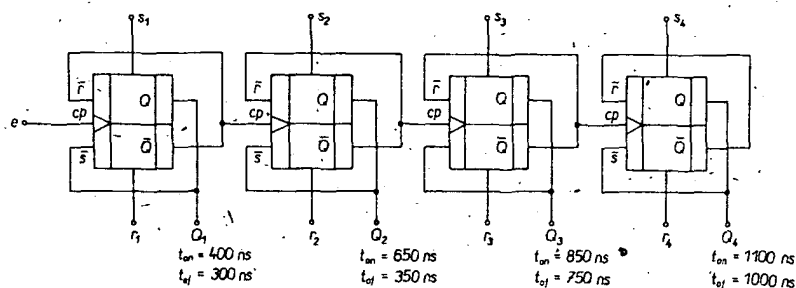


Obr. 8. Zapojení U103D

1 : 2. Dělicí poměr je určen jako rozdíl výstupního a vstupního kmitočtu:

$$T_v = \frac{f_{vst}}{f_{vst}}$$

Čtyři IO (obr. 9) umožňují získat dělicí poměr 1 : 2 (Q_1), 1 : 4 (Q_2), 1 : 8 (Q_3) a 1 : 16 (Q_4). Obecně můžeme tímto děličem realizovat dělicí poměr $1 : 2^n$, kde n je počet IO. Z obr. 9 je zřejmé, že každý výstup klopného obvodu je spojen se vstupem r a s, proto bude klopný obvod řízen pouze hranou hodinového impulsu, tzn. že se každý klopný obvod přepoklopí pouze sestupnou hranou impulsu přivedeného na vstup cp. Proto se každý IO přepoklopí teprve tehdy, když se předchozí obvod přepoklopí po druhé. Vstupy



Obr. 9. Zapojení děliče kmitočtu

r a s, nezávislými na hodinách, je možno libovolně „přednastavit“ řetězec klopných obvodů (je možné i nulování). Nepoužité vstupy r a s musí být připojeny na úroveň H. Pro upřesnění je třeba poznamenat, že jednou přednastavený dělič kmitočtu již svůj dělicí poměr nemění.

Zavedením zpětné vazby je možno nastavit i jiný dělicí poměr než 1 : 2ⁿ. U dělice s dělicím poměrem 1 : 10 je nutno šest kroků přeskocit, aby čtyřobvodový dvojkový čítač počítal do 16. „Přeskok“ šesti kroků můžeme různě posouvat:

Krok	Q ₁	Q ₁	Q ₂	Q ₂	Q ₃	Q ₃	Q ₄	Q ₄
1	L	H	H	L	H	L	H	L
2	H	L	L	H	H	L	H	L
3	L	H	L	H	H	L	H	L
4	H	L	H	L	L	H	H	L
5	L	H	H	L	L	H	H	L
6	H	L	L	H	L	H	H	L
7	L	H	L	H	L	H	H	L
8	H	L	H	L	H	L	L	H
9	L	H	H	L	H	L	L	H
10	H	L	L	H	H	L	L	H
11	L	H	L	H	H	L	L	H
12	H	L	H	L	L	H	L	H
13	L	H	H	L	L	H	L	H
14	H	L	L	H	L	H	L	H
15	L	H	L	H	L	H	L	H
16	H	L	H	L	H	L	H	L
17	L	H	H	L	H	L	H	L
18	H	L	L	H	H	L	H	L
19	L	H	L	H	H	L	H	L
20	H	L	H	L	L	H	H	L
21	L	H	H	L	L	H	H	L
22	H	L	L	H	L	H	H	L
23	L	H	L	H	L	H	H	L

V uvedené pravdivostní tabulce jsou vyznačeny skoky po šesti, které umožňují jednoduché řízení celého řetězce bez nebezpečí, že při vybuzení daného klopného obvodu se spouštěcí impuls přenesou na následující klopný obvod a ten překlápí nežádáně. Který ze skoků po šesti použijeme, záleží na tom, jakou chceme mít střidu výstupního napětí. Zvolíme např. skok z 5. na 11. krok. Po šestém impulsu (vychází se z nulové polohy) je řetězec v tomto stavu:

	Q ₁	Q ₁	Q ₂	Q ₂	Q ₃	Q ₃	Q ₄	Q ₄
5	L	H	H	L	L	H	H	L
11	L	H	L	H	H	L	L	H

Při skoku na 11. krok se změní stav klopných obvodů 2, 3 a 4, což způsobí při nastavení klopného obvodu 2 zpětná vazba klopného obvodu 3. Při překlápnutí klopného obvodu 3 je současně řízen klopný obvod 4, což požadujeme. Zpětnovazební obvod je tvořen

hradlem AND – při kroku 5 výstupní signály klopných obvodů na úrovni L (Q₁, Q₂, Q₃, Q₄) se sloučí a jsou zavedeny k s₂ a r₂ (nastavení a nulování klopných obvodů 2 a 3). Zapojení obvodu zpětné vazby je na obr. 10a.

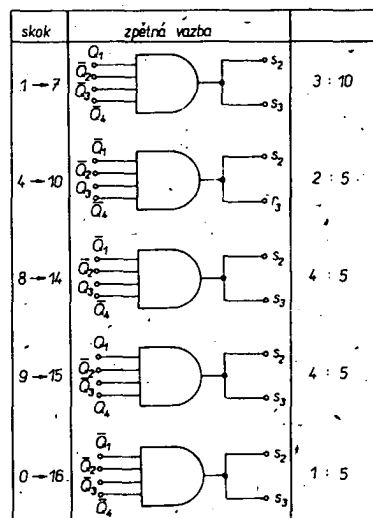
Na obr. 10b je zapojení dělice 1 : 10, u něhož je střida výstupního napětí 1 : 2. Na obr. 10c jsou další možnosti jak přeskocit šest kroků pomocí zpětné vazby, čímž lze realizovat dělič 1 : 10 s různou střidou výstupního napětí.

Při stavbě děličů s různým dělicím poměrem je si třeba vždy uvědomit, že počet stupňů dělice odpovídá exponentu v dvojkové soustavě (např. pro dělič 1 : 5, což odpovídá 2³, potřebujeme 3 IO). Počet přeskoců počítaných kroků je roven rozdílu mezi dvojkovým číslem a dělicím poměrem. Skok je vždy řízen zpětnovazebním obvodem. Všechny výstupy, které mají na počátku skoku úroveň L, jsou ve zpětnovazebním obvodu sloučeny a jsou přivedeny na vstupy r a s příslušných klopných obvodů. Na obr. 10d je zapojení zpětnovazebního obvodu pro dělič 1 : 3. Střida výstupního napětí je v poměru 1 : 3. Na obr. 10e je zapojení zpětnovazebního obvodu pro dělič 1 : 5, jeho výstupní napětí má střidu 4 : 5. U tohoto dělice je možno zpětnou vazbu realizovat i jiným způsobem.

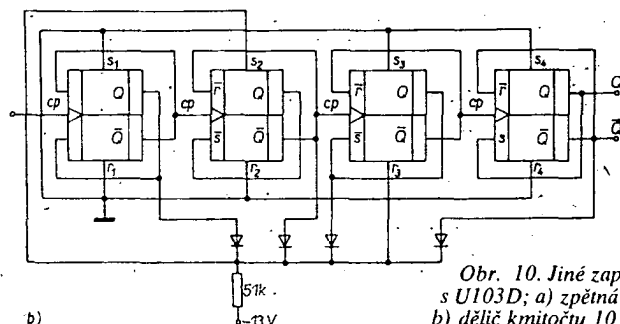
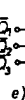
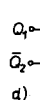
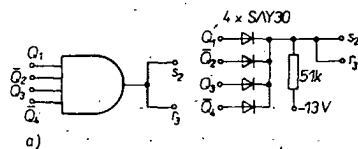
U103D je ekvivalentem IO MEM1005 fy General Instruments.

Integrovaný obvod U104D

Integrovaný obvod U104 jsou dvě antivalenční – ekvivalenční hradla, umístěná v pou-

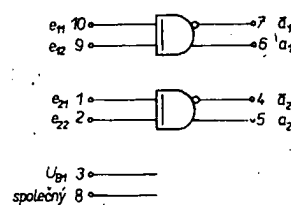


c)



b)

Obr. 10. Jiné zapojení dělice kmitočtu s U103D; a) zpětná vazba pro dělič 10 : 1, b) dělič kmitočtu 10 : 1, c) zpětná vazba pro různé dělicí poměry, d) zpětná vazba pro dělič 3 : 1, e) zpětná vazba pro dělič 5 : 1



Obr. 11. Zapojení U104D

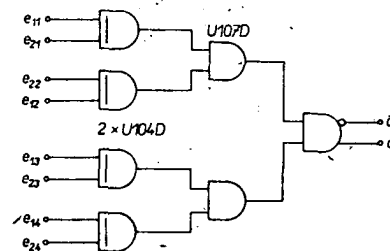
Tab. 4. Parametry U104D

Mezní údaje	
Napájecí napětí: -31 až +0,3 V.	
Vstupní napětí: -25 až +0,3 V.	
Špičkové vstupní napětí: -31 V.	
Vstupní impulsní špičkový proud: +2 mA.	
Pracovní teplota: 0 až 70 °C	
Statické údaje	
(25 °C, U _B = -25 až -29 V)	
Vstupní špičkový proud při U _{st} = -25 V: max. 10 μA.	
Výstupní napětí H při U _{stH} = -2 V:	
U _{stL} = -9 V,	
R _Z = 100 kΩ: max. -1 V.	
Výstupní napětí L při U _{stH} = -2 V,	
U _{stL} = -9 V,	
I _Z = 1 mA: min. -5 V.	
Výstupní napětí H při U _{stH} = -2 V,	
U _{stL} = -9 V,	
I _Z = -1 mA: max. -3 V.	
Odběr ze zdroje při U _{st} = -12 V,	
t/T = 1 : 2	
f = 250 kHz: typ. -2,6 mA.	
Vstupní kapacita při U _B = 0 V, f = 0,5 až 2 MHz: max. 6 pF.	
Dynamické údaje	
Zpoždění t _{on} :	
typ. 400 ns, max. 550 ns, na výstupu a,	
max. 650 ns, na výstupu ā;	
t _{off} : typ. 300 ns, max. 470 ns.	
Rušivá kapacita: max. 30 pF.	

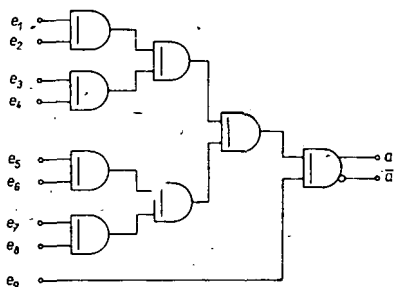
zdrě DIP-10, jejichž zapojení je na obr. 11 a parametry v tab. 4. Obvod je určen pro logické porovnání dvou proměnných. U104D je ekvivalentem IO MEM1008 fy General Instruments. Pro jedno hradlo platí pravdivostní tabulka:

c ₁	c ₂	a	ā
H	H	L	H
H	L	H	L
L	H	H	L
L	L	L	H

S obvodem na obr. 12 je možné zjistit, zda dvě čtyřmístná dvojková čísla jsou stejná nebo ne. Při rovnosti obou čísel bude na výstupu úroveň L. Vždy dvě stejná místa



Obr. 12. Komparátor dvou čtyřmístných dvojkových čísel



Obr. 13. Zapojení detektoru parity

obou dvojkových čísel jsou porovnávána ekvivalenčním hradlem. Výstupy hradel jsou sloučeny v hradle AND.

Při kontrole děrné pásky, děrovače nebo při kontrole čtení je třeba zjistit četnost sudých a lichých čísel, která jsou vyhodnocena úrovní L, abychom vyloučili ztráty informace. Tomuto účelu slouží detektor parity. Vstupy e_1 až e_8 jsou vstupy signálu a vstup e_9 je použit jako rozšiřující nebo jako řídicí vstup. Je-li na vstupu e_9 úroveň L, vznikne při párování úrovní L na ostatních vstupech na výstupu a úroveň L. Zapojení je na obr. 13.

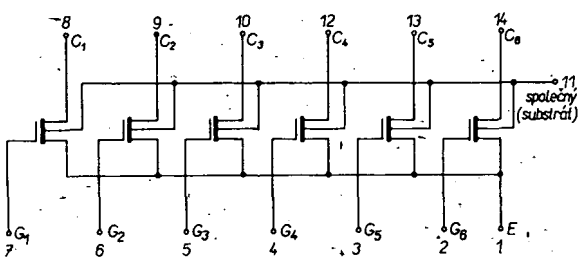
Integrovaný obvod U105D

Integrovaný obvod U105D je šestice tranzistorů MOS, jejichž emitory jsou spojeny se substrátem a společně vyvedeny. Na obr. 14 je zapojení U105D a v tab. 5 jsou uvedeny jeho parametry. Je ekvivalentní IO MEM2009 (MH2009) fy General Instruments. Možnosti použití tohoto obvodu jsou velmi univerzální.

Na obr. 15 je zapojení invertoru s U105D. Při záporném impulsu ($U_{CL} = -9$ V) přivedeném na řídicí elektrodu se tranzistor MOS otevře, tzn. že se odpor emitor-kolektor zmenší asi na 100 Ω , takže na výstupu bude úroveň H. V zavřeném stavu je na výstupu prakticky napájecí napětí. Hradlo NOR, jehož zapojení je na obr. 16, vznikne spojením dvou invertorů. Je-li na vstupech e_1 a e_2 úroveň H, bude na výstupu úroveň L. Po přivedení úrovně L na jeden nebo druhý vstup, nebo na oba vstupy současně, bude na výstupu a úroveň H. Ze dvou hradel NOR můžeme zapojit klopný obvod (obr. 17). Po připojení úrovně L na vstup r se klopný obvod překlápí zpět, tzn. že na výstupu Q bude úroveň H. Po připojení úrovně L na vstup s se na výstupu Q objeví úroveň L. S obvody na obr. 15 a 16 je možné sestavit různé logické obvody odpovídající speciálním požadavkům: logická rovnice musí odpovídat logickému schématu a to takovému, abychom vystačili jen s invertorem a hradlem NOR. Na obr. 18 je zapojení třívstupového hradla AND, pro něž platí logická rovnice:

$$Q = e_1 e_2 e_3 = \overline{\overline{e_1} \overline{e_2} \overline{e_3}} = \overline{\overline{e_1} + \overline{e_2} + \overline{e_3}}$$

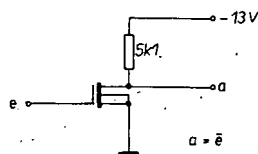
Ke splnění této logické rovnice postačí tři invertory a jedno třívstupové hradlo NOR.



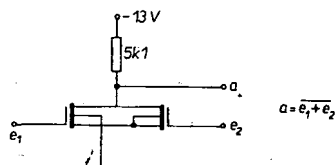
Tab. 5. Parametry U105D

Mezní údaje
 Napětí kolektor-emitor: -31 až $+0,3$ V.
 Napětí kolektor-řídicí elektroda: -31 až $+31$ V.
 Napětí řídicí elektroda-emitor: -31 až $+0,3$ V.
 Napětí substrát-emitor: 0 V.
 Napětí řídicí elektroda-substrát: -31 až $+0,3$ V.
 Napětí kolektor-substrát: -31 až $-0,3$ V.
 Proud kolektoru: -25 mA.
 Celkový proud emitoru: 100 mA.
 Proud ochrannou diodou: 0,1 mA.
 Impulsní proud ochrannou diodou: 2 mA
 ($t/T = 1:10$, $t_{\text{max}} = 1$ μ s).
 Ztrátový výkon jednoho tranzistoru: 150 mW.
 Celkový ztrátový výkon: 400 mW.
 Pracovní teplota: 0 až 70 $^{\circ}$ C.

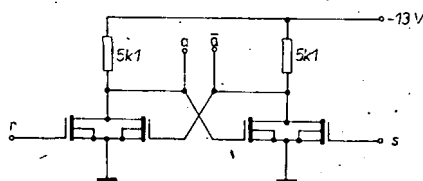
Jmenovité údaje
 Kolektorový proud při $U_{CE} = -2$ V,
 $U_{ES} = -10$ V,
 $U_{ES} = 0$ V: min. 3 mA.
 Prahové napětí při $U_{CE} = U_{GE}$, $U_{ES} = 0$ V,
 $I_{CE} = -10$ μ A: min. -3 V, max. -6 V.
 Proud řídicí elektrodou při $U_{CE} = 0$ V,
 $U_{GE} = -31$ V,
 $U_{ES} = 0$ V: max. 10 μ A.
 Proud řídicí elektrodou při $U_{CE} = 0$ V,
 $U_{GE} = -20$ V,
 $U_{ES} = 0$ V: max. 0,15 μ A.
 Proud kolektoru při $U_{CE} = -20$ V,
 $U_{GE} = U_{ES} = 0$ V
 (zbytkový): max. -10 μ A.
 Vstupní kapacita při
 $U_{CE} = U_{GE} = U_{ES} = 0$ V,
 $f = 0,5$ až 2 MHz: 12 pF.



Obr. 15. Zapojení invertoru s U105D



Obr. 16. Zapojení hradla NOR s U105D



Obr. 17. Klopný obvod s U105D

Obr. 14. Zapojení U105D

Integrované obvody U106D, U107D

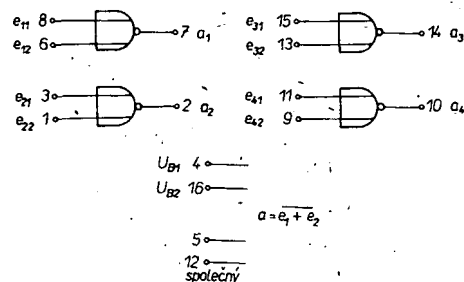
Integrované obvody U106D a U107D jsou středně rychlé obvody, určené nejen pro výpočetní techniku, ale i pro jiné aplikace.

Integrovaný obvod U106D jsou čtyři dvojitvstupová hradla AND, umístěná v pouzdře DIP-16, jejichž zapojení je na obr. 19 a parametry v tab. 6.

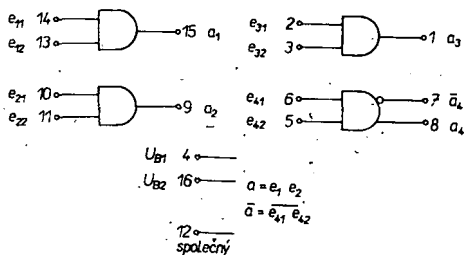
Integrovaný obvod U107D jsou tři dvojitvstupová hradla AND a jedno dvojitvstupové hradlo AND-NAND v pouzdře DIP-16, jeho zapojení je na obr. 20 a parametry v tab. 7.

U106D je ekvivalentem IO MEM1013 a U107D je ekvivalentem IO MEM1014 fy General Instruments.

Oba tyto IO jsou složeny z tranzistorů MOS s kanálem p a mají vstupy chráněny



Obr. 19. Zapojení U106D



Obr. 20. Zapojení U107D

ochrannými diodami. Nepoužité vstupy musí být připojeny na vhodné napětí.

Invertor s jedním hradlem z U106D nebo U107D je možné zapojit dvěma způsoby (obr. 21a, b). Buď můžeme oba vstupy spojit paralelně, nebo jeden vstup musíme spojit s úrovní H nebo L. V prvním případě se zvětšuje kapacitní zatížení předchozího obvodu. V druhém případě je tento nedostatek vyloučen. U U106D je nepoužitý vstup spojen se zemí a u U107D je nepoužitý vstup připojen na $-U_{B2}$. Na obr. 22a je zapojení čtyřvstupového hradla NOR, na obr. 22b čtyřvstupového hradla OR-NOR, na obr. 22c čtyřvstupového hradla AND-NAND, obr. 22d pětivstupového hradla NOR,

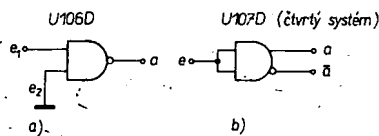
obr. 22e pětivstupového hradla AND-NAND, na obr. 22f dvou vstupového hradla OR, na obr. 23g čtyřvstupového hradla OR

Tab. 6. Parametry U106D

Mezní údaje	
Napájecí napětí U_{B1} :	-31 až +0,3 V.
Napájecí napětí U_{B2} :	-31 až +0,3 V.
Vstupní napětí:	-25 až +0,3 V.
Vstupní špičkové napětí:	-31 V.
Vstupní impulsní špičkový proud:	+2 mA.
Pracovní teplota:	0 až 70 °C.
Statické údaje	
$(U_{B1} = -26 \text{ až } -29 \text{ V}, U_{B2} = -13 \text{ až } -14,5 \text{ V}, 25 \text{ °C})$	
Vstupní zbytkový proud při $U_{vst} = -25 \text{ V}$:	max. -10 μA .
Výstupní napětí L při $U_{vstH} = -2 \text{ V}$:	$U_{vstL} = 9 \text{ V}$,
	$R_z = 100 \text{ k}\Omega$: min. -10 V.
Výstupní napětí H při $U_{vstH} = -2 \text{ V}$:	$U_{vstL} = -9 \text{ V}$,
	$R_z = 100 \text{ k}\Omega$: max. -1 V.
Výstupní napětí L při $U_{vstH} = -2 \text{ V}$:	$U_{vstL} = -9 \text{ V}$,
	$I_z = 1 \text{ mA}$: min. = 5 V.
Výstupní napětí H při $U_{vstH} = -2 \text{ V}$:	$U_{vstL} = -9 \text{ V}$,
	$I_z = -1 \text{ mA}$: max. -4 V.
Odběr ze zdroje U_{B1} při $U_{vst} = -12 \text{ V}$,	$f = 250 \text{ kHz}$: typ. -1,5 mA,
U_{B2} při $U_{vst} = -12 \text{ V}$, $f = 250 \text{ kHz}$:	typ. -0,1 mA.
Vstupní kapacita při $U_{B1} = U_{B2} = 0 \text{ V}$,	$f = 0,5 \text{ až } 2 \text{ MHz}$: max. 6 pF.
Dynamické údaje	
Zpoždění	
t_{on} :	typ. 320 ns.
t_{of} :	typ. 120 ns.
Rušivá kapacita:	max. 25 pF.

Tab. 7. Parametry U107D

Mezní údaje	
Napájecí napětí	
U_{B1} :	-31 až +0,3 V.
U_{B2} :	-31 až +0,3 V.
Vstupní napětí:	-25 až +0,3 V.
Vstupní špičkové napětí:	-31 V.
Vstupní impulsní špičkový proud:	+2 mA.
Pracovní teplota:	0 až 70 °C.
Statické údaje	
$(U_{B1} = -26 \text{ až } -29 \text{ V}, U_{B2} = -13 \text{ až } -14,5 \text{ V}, 25 \text{ °C})$	
Vstupní zbytkový proud při $U_{vst} = -25 \text{ V}$:	max. -10 μA .
Výstupní napětí L při $U_{vstH} = -2 \text{ V}$:	$U_{vstL} = -9 \text{ V}$,
	$R_z = 100 \text{ k}\Omega$: min. -10 V.
Výstupní napětí H při $U_{vstH} = -2 \text{ V}$:	$U_{vstL} = -9 \text{ V}$,
	$R_z = 100 \text{ k}\Omega$: max. -1 V.
Výstupní napětí L při $U_{vstH} = -2 \text{ V}$:	$U_{vstL} = -9 \text{ V}$,
	$I_z = +1 \text{ mA}$: min. -5 V.
Výstupní napětí H při $U_{vstH} = -2 \text{ V}$:	$U_{vstL} = -9 \text{ V}$,
	$I_z = -1 \text{ mA}$: max. -4 V.
Odběr ze zdroje U_{B1} při $U_{vst} = -12 \text{ V}$,	$f = 250 \text{ kHz}$,
$t/T = 1 : 2$: typ. -2 mA.	
U_{B2} při $U_{vst} = -12 \text{ V}$, $f = 250 \text{ kHz}$,	$t/T = 1 : 2$: typ. -0,7 mA.
Vstupní kapacita při $U_{B1} = U_{B2} = 0 \text{ V}$,	$f = 0,5 \text{ až } 2 \text{ MHz}$: max. 6 pF.
Dynamické údaje	
Zpoždění na $a_1, a_2, a_3, \bar{a}_1, \bar{a}_2$:	t_{on} : typ. 300 ns.
na a_4 :	t_{on} : typ. 150 ns,
	t_{of} : typ. 200 ns.

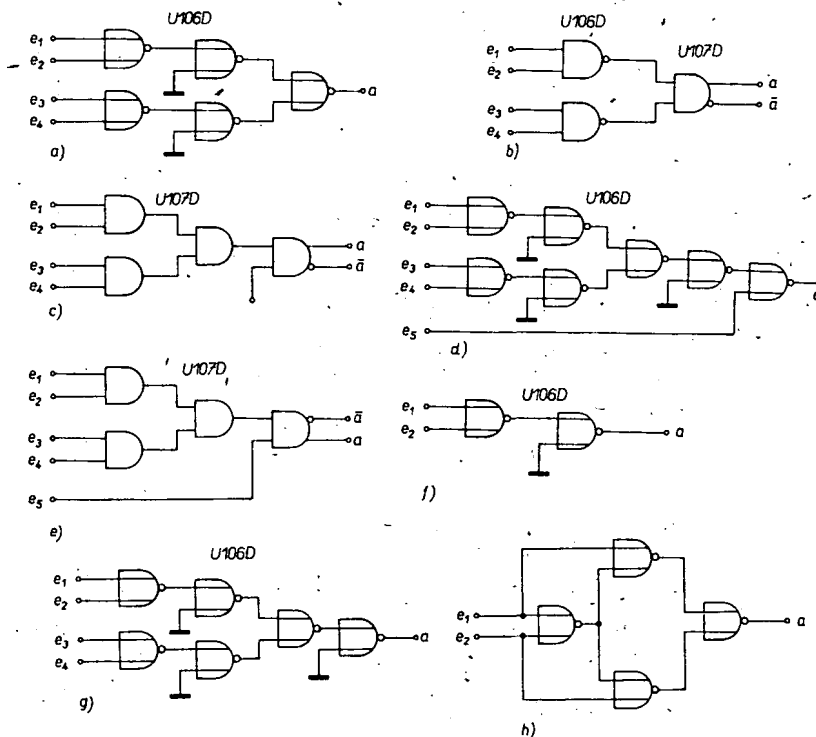


Obr. 21. Invertory s U106D a U107D

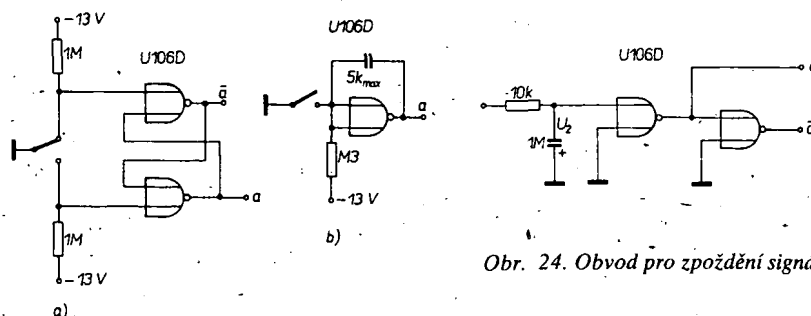
a na obr. 22h ekvivalenčního hradla. Z pravdivostní tabulky ekvivalenčního hradla je zřejmé, že na výstupu bude úroveň L jen tehdy, když sudý počet proměnných bude mít úroveň L. Toto hradlo je základním prvkem detektorů parity, používaných pro porovnání většího počtu proměnných:

e_1	e_2	a
H	H	L
H	L	H
L	H	H
L	L	L

Kontakty mechanických tlačítek v zařízeních pro ruční zápis dat vždy více či méně „odskočí“. Nejčastěji používané mikrospínače mají dobu „odskoku“ až 1 ms. Tento jev způsobuje chybné zadání dat, a proto je nutno použít obvod, který zákmitý nevyhodnocuje. Na obr. 23 jsou dvě zapojení obvodů potlačujících zákmity. Nerušený výstupní signál je



Obr. 22: Různé typy hradel s U106D, U107D



Obr. 23. Obvody pro potlačení zákmitů tlačítků

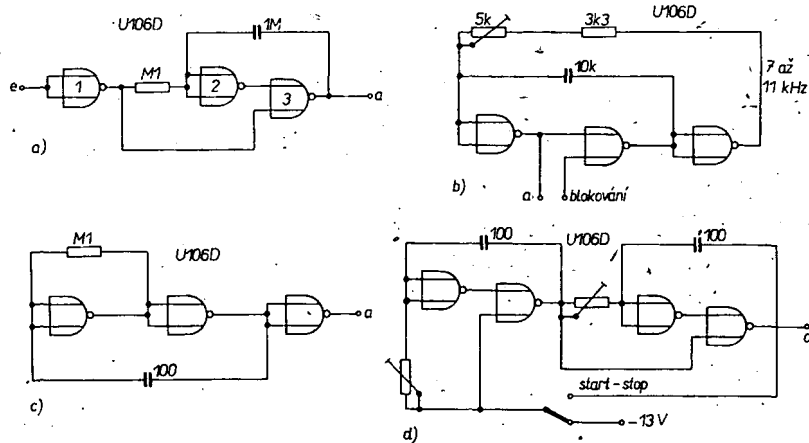
v zapojení podle obr. 23a na výstupu a. Zakmitávání při sepnutí nemá vliv, neboť kontakt je od vstupu 1 hradla NOR odpojen a hradlo NOR může přepnout jediné úroveň L, dříve než se překlopí klopný obvod do nové polohy. Na obr. 23b je zapojení ochranného obvodu s jedním hradlem NOR. Při odpojení spínače je na obou paralelně spojených vstupech, úroveň L. Spojíme-li spínač, pak na vstupu bude úroveň H a na výstupu úroveň L. Odskočí-li kontakt spínače, mění se krátkodobě úroveň na vstupu a výstupu, avšak zapojením obvodu RC s dostatečně dlouhou časovou konstantou může být tento jev potlačen.

Na obr. 24 je zapojení obvodu pro zpoždění signálu. Takový zpožďovací obvod potřebujeme např. při zpožděném nastavení klopného obvodu, abychom potlačili doznívající zákmit, vzniklé po zapojení zařízení. Výstupní úroveň se poprvé změní tehdy, až bude napětí na kondenzátoru větší než prahové napětí hradla NOR.

Na obr. 25a je zapojení monostabilního multivibrátoru. Změní-li se vstupní signál z H na L, pak rovněž na druhém vstupu třetího hradla bude H a na výstupu bude úroveň L. Podle časové konstanty obvodu RC se mění vstupní signál invertoru 2 z L na H, takže výstupní signál se opět změní na H.

Na obr. 25b je zapojení blokovaného multivibrátoru. Funkce spočívá v neustálém nabíjení a vybíjení kondenzátoru přes hradlo NOR. Kmitočtový rozsah je 1 Hz až 10 kHz,

Obr. 24. Obvod pro zpoždění signálů



Obr. 25. Zapojení multivibrátoru s U106D

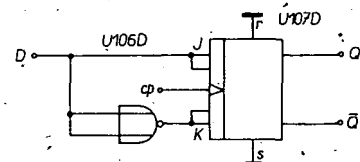
s hodnotami na obrázku je rozsah 7 až 11 kHz. Přes jeden vstup je možné multivibrátor zablokovat úrovní L. Pak bude na výstupu a úroveň H.

Na stejném principu pracuje i neblokovaný multivibrátor podle obr. 25c. Jeho maximální kmitočet je asi 50 kHz. Na obr. 25d je zapojení blokovaného multivibrátoru s nastavitelnou střídou. Zapojení vzniklo spojením dvou monostabilních multivibrátorů. Jeden multivibrátor řídí druhý a naopak. Multivibrátor se zablokuje připojením úrovně L na vstup, na výstupu bude pak rovněž L.

hranou hodinového impulsu o úrovni H. Klopný obvod můžeme přednastavit vstupy r a s. Je-li L na vstupu s, je na výstupu Q L, je-li L na r, pak je na výstupu H.

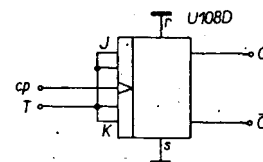
Klopný obvod typu D přenáší informaci ze vstupu D na výstup při každém hodinovém impulsu. Pro klopný obvod typu D platí logická rovnice: $Q_n + 1 = D_n$. Na obr. 27 je zapojení klopného obvodu typu D s U108D. Chceme-li, aby vstup D měl co nejmenší kapacitu, je nutné jeden vstup J i K připojit na úroveň H.

Klopný obvod typu T mění svůj stav na výstupu při každém hodinovém impulsu za



Obr. 27. Zapojení klopného obvodu typu D s U108D

předpokladu, že na vstupu T je současně úroveň L. Zapojení klopného obvodu typu T je na obr. 28 a platí pro něj logická rovnice: $Q_n = T_n Q_n + T_n Q_n = T_n$. Pro zmenšení vstupní kapacity je i zde nutno jeden vstup J i K spojit s úrovní H.

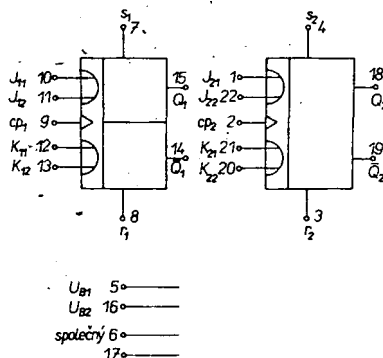


Obr. 28. Zapojení klopného obvodu typu T s U108D

Binární převodník mění s každým hodinovým impulsem svůj stav na výstupu. Zapojení binárního převodníku je na obr. 29a, b a platí pro něj logická rovnice: $Q_n + 1 = Q_n$. Nachází hlavní uplatnění v děliších a čítačích kmitočtu. Vstupy, které jsou na úrovni L, mohou být spojeny s napětím U_{B2} .

Integrovaný obvod U108D

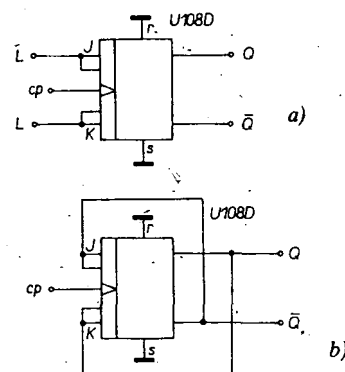
Integrovaný obvod U108D jsou dva klopné obvody J-K se dvěma vstupy J a dvěma vstupy K, které jsou spojeny přes obvod OR. Obvod je v pouzdře DIP-22, zapojení je na obr. 26 a parametry v tab. 8. Obvod je ekvivalentem IO MEM1015 fy General Instruments. Oba klopné obvody jsou typu Master-Slave. Sestupnou hranou hodinového impulsu se informace přenesou do klopného obvodu – mezipaměti – a to jen tehdy, je-li na vstupu J nebo K úroveň L. Vzestupnou hranou hodinového impulsu je informace přenesena na výstup klopného obvodu. Pro bezpečné překlopení klopného obvodu (KO) je nutno zajistit, aby se na vstupy J nebo K vzestupná hrana hodinového impulsu dostala až po nastavené době (pohotovostní doba $t_h \approx 120$ ns), kdy je KO sepnut úrovní L, nebo po době přechodu $t_r \approx 120$ ns, kdy je KO přepnut sestupnou



Obr. 26. Zapojení U108D

Tab. 8. Parametry U108D

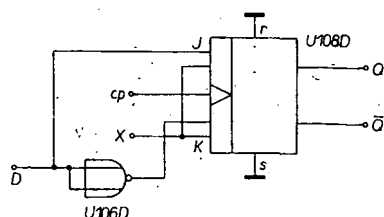
Mezní údaje	
Napájecí napětí U_{B1}, U_{B2} : -31 až +0,3 V.	
Vstupní napětí na vstupech J, K: -25 až +0,3 V.	
Vstupní napětí na vstupech r, s, cp: -31 až +0,3 V.	
Vstupní špičkové napětí: -31 V.	
Vstupní špičkový impulsní proud: +2 mA.	
Zatěžovací kapacita: 10 nF.	
Pracovní teplota: 0 až 70 °C.	
Statické údaje	
při 25 °C, $U_{B1} = -26$ až -29 V, $U_{B2} = -13$ až -14,5 V)	
Vstupní zbytkový proud při $U_{sH} = -25$ V: max. -10 μ A.	
Vstupní napětí L při $U_{sH} = -2$ V, $U_{sL} = -9$ V, $R_z = 100$ k Ω : min. -10 V.	
Vstupní napětí H při $U_{sH} = -2$ V, $U_{sL} = -9$ V, $R_z = 100$ k Ω : min. -10 V.	
Vstupní napětí H při $U_{sH} = -2$ V, $U_{sL} = -9$ V, $I_z = +1$ mA: min. -5 V.	
Vstupní napětí H při $U_{sH} = -2$ V, $U_{sL} = -9$ V, $I_z = -1$ mA: max. -3 V.	
Odběr ze zdroje U_{B1} při $U_{sL} = -13$ V, $r/T = 1:2$, $f = 250$ kHz, $C_z = 60$ pF, $R_z = 1$ M Ω : typ. -7 mA.	
Odběr ze zdroje U_{B2} při $U_{sL} = -13$ V, $r/T = 1:2$, $f = 250$ kHz, $C_z = 60$ pF, $R_z = 1$ M Ω : typ. -3 mA.	
Vstupní kapacita při $U_{B1} = U_{B2} = 0$ V, $f = 0,5$ až 2 MHz, $f = 0,5$ až 2 MHz, vstup r, s: max. 10 pF, vstup J, K: max. 6 pF, vstup cp: max. 5 pF.	
Dynamické údaje	
Zpoždění t_{in} :	typ. 400 nS,
t_{off} :	typ. 450 ns.
Rušivá kapacita:	max. 25 pF.



Obr. 29. Zapojení binárních převodníků s U108D

Vzhledem k vnitřnímu sloučení dvou vstupů J nebo K hradlem OR, je možné U108D použít v klopných obvodech typu D a v binárním převodníku s klopnými obvody. Zapojení klopného obvodu s možností přepínání je na obr. 30.

S U108D můžeme realizovat jak synchronní, tak i asynchronní děliče kmitočtu. Asynchronní děliče kmitočtu mohou zpracovávat nižší mezní kmitočty, než děliče synchronní. Pro libovolný dělicí poměr je potřebné, aby bylo dosaženo toho, že m kroků z 2^n kroků je děličem kmitočtu přeskočeno.



Obr. 30. Klopný obvod s řízením, překlápěním

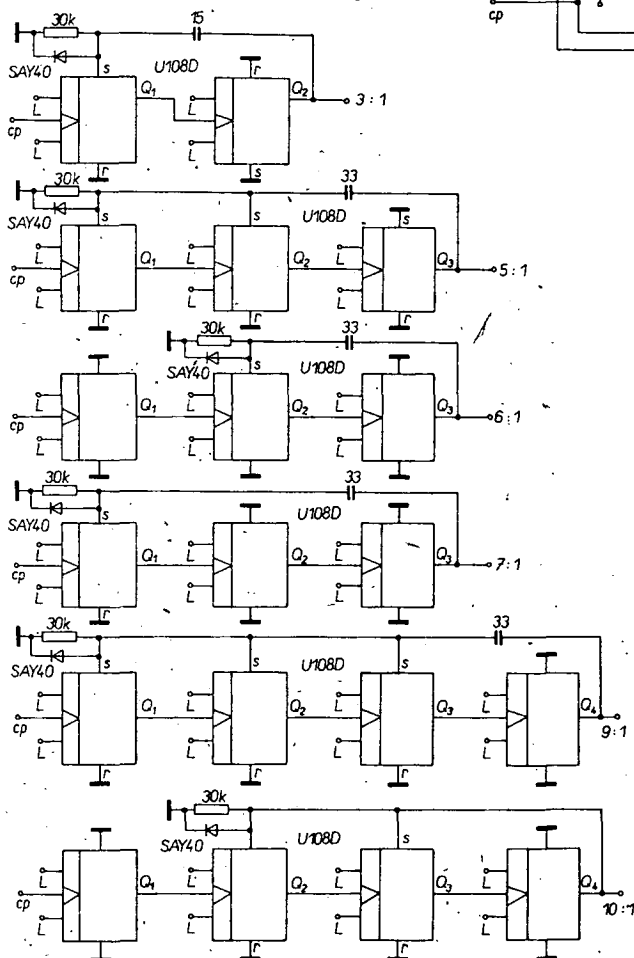
Zpětná vazba je přivedena z předchozího klopného obvodu, jehož m je dáno. Výsledný dělicí poměr je dán rovnici: $T = 2^n$ a rozsah dělicího poměru nerovnosti $2^{n-1} < T_v < 2^n$. Na obr. 31 je zapojení děličů kmitočtu s různými dělicími poměry a v tabulce jsou uvedeny mezní kmitočty pro různé dělicí poměry.

Dělicí poměr	f mezní [kHz]	střída na výstupu	min. délka hodin [ns]
3 : 1	800	1 : 2	400
5 : 1	450	1 : 4	400
6 : 1	950	1 : 2	300
7 : 1	430	3 : 4	400
9 : 1	430	1 : 8	300
10 : 1	950	1 : 4	300

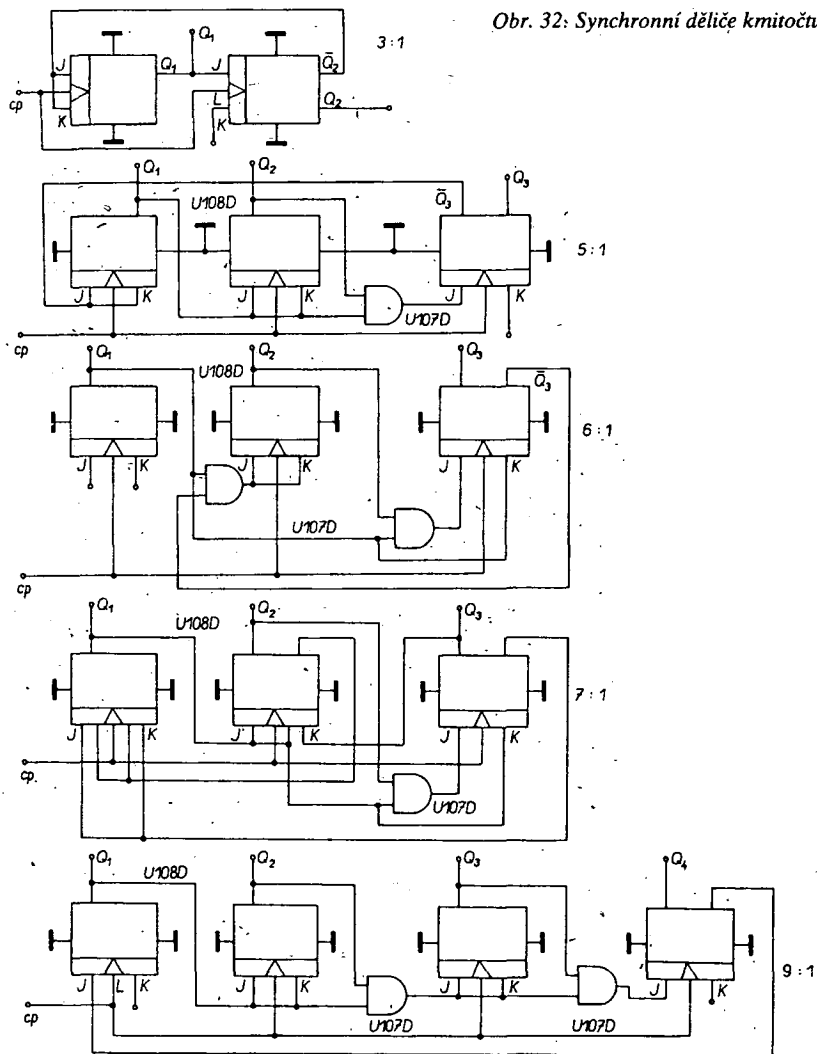
Tyto údaje byly změřeny při $U_{\text{vstL}} = -9 \text{ V}$, $t_{\text{LH}} = t_{\text{HL}} = 300 \text{ ns}$, střída 2 : 1. Pro měření minimální délky hodinového impulsu platí podmínky $U_{\text{vstL}} = -9 \text{ V}$, $t_{\text{LH}} = t_{\text{HL}} = 300 \text{ ns}$, $f = 200 \text{ kHz}$. Jako mezní kmitočty je definován kmitočet, při němž je uvedený dělicí poměr zachován. Minimální délka hodinového impulsu udává minimální dobu trvání signálu L, při které dělič ještě pracuje.

Synchronní dělič kmitočtu má proti nesynchronnímu tu přednost, že mezní kmitočet je omezen zpožděním signálu v klopném obvodu a slučovacíh hradlech. Zapojení synchronních děličů pro různé dělicí poměry je na obr. 32 a v tabulce jsou uvedeny mezní kmitočty pro tyto dělicí poměry:

dělicí poměr	mezní kmitočet [MHz]
3 : 1	2.2
5 : 1	1.9
6 : 1	1.6
7 : 1	1.9
9 : 1	1.4



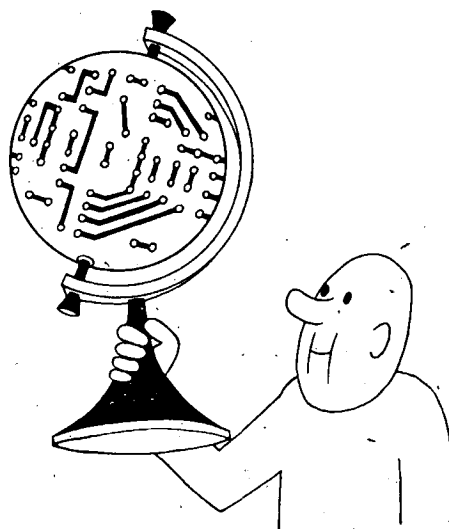
Obr. 31. Asynchronní děliče kmitočtu

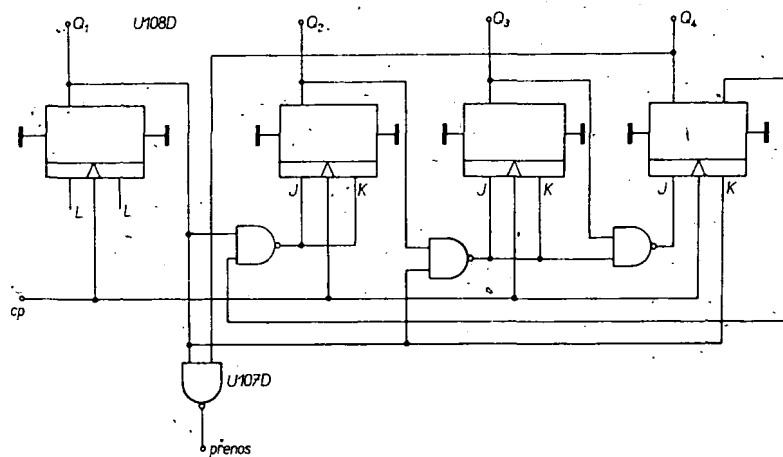


Obr. 32. Synchronní děliče kmitočtu

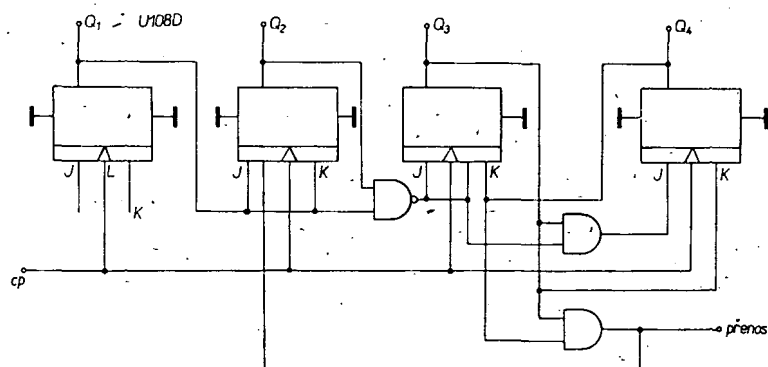
Nepoužité vstupy J-K nejsou na obr. 32 vyznačeny, je však nutno spojit je s úrovní H. Údaje v tabulce platí pro tyto podmínky měření: mezní kmitočet při $U_{\text{vstL}} = -9 \text{ V}$, $t_{\text{LH}} = t_{\text{HL}} = 300 \text{ ns}$, minimální délka hodinového impulsu při $U_{\text{vstL}} = -9 \text{ V}$, $t_{\text{LH}} = t_{\text{HL}} = 300 \text{ ns}$, $f = 1 \text{ MHz}$.

Pro dekadický čítač potřebujeme čtyři klopné obvody, tedy dva U108D. Logickým sloučením vstupů J nebo K klopných obvodů zkrátíme binární dělič 16 : 1 na dekadický 10 : 1. Přenos je vytvořen sloučením výstupů Q_1 a Q_4 v hradle AND. Čítač na obr. 33 má mezní kmitočet 1,4 MHz. Na obr. 34 je zapojení dekadického čítače pracujícího v kódu 3-excess, při kterém při logické inverzi vznikne devět komplementů. Tento kód je používán u elektronických počítačů.

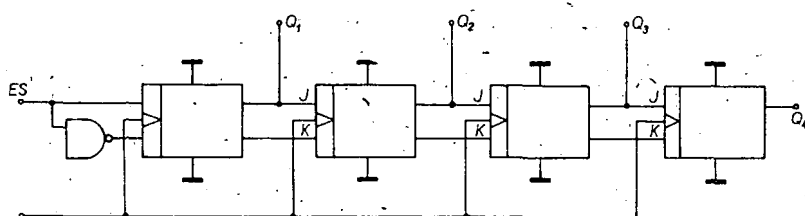




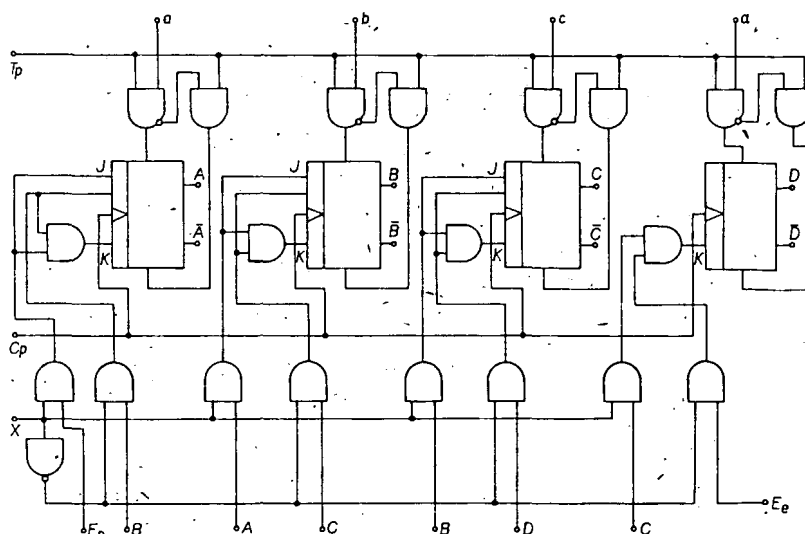
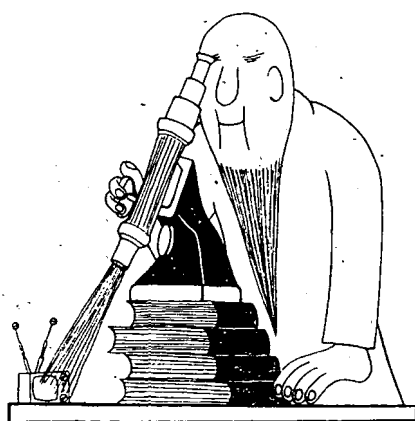
Obr. 33. Synchronní čítač BCD



Obr. 34. Dekadický čítač v kódu 3-excess



Obr. 35. Čtyřbitová sériová paměť



Obr. 36. Inverzní posuvný registr

pracujících v dekadickém systému. Přednastavení klopných obvodů čítače je možné přes vstupy r a s. Nepoužité vstupy musí být připojeny na úroveň H. Mezní kmitočet tohoto čítače je 1,4 MHz. Přenosový impuls vznikne sloučením impulsů Q_3 , Q_4 v hradle AND.

S dvěma obvody U108D je možné realizovat čtyřbitový posuvný registr, který může sloužit i jako sériová paměť. Je možné jen sériově zadávání dat a posuv vpravo. Odběr informace může být jak sériový, tak i paralelní (obr. 35). Čtyřbitový posuvný registr na obr. 36 může posouvat informaci jak vpravo, tak vlevo. Na vstupy a až d je zapsán počáteční stav pomocí T_p . Hodiny cp uvolňují posuv. Vodičem X určujeme směr posuvu ($X = L$ – vpravo, $X = H$ – vlevo). Přes vstupy E_R , E_L je možno sériově zadávat data při provozu vlevo nebo vpravo. Při paralelním zadávání dat jsou sériové vstupy na úrovni H. Tento posuvný registr je možno libovolně rozšířit.

K synchronizaci vstupních signálů se signálem hodin slouží obvod na obr. 37. Délka výstupního impulsu je úměrná periodě hodinového impulsu. Čtveřice H H H H není tímto obvodem přenášena.

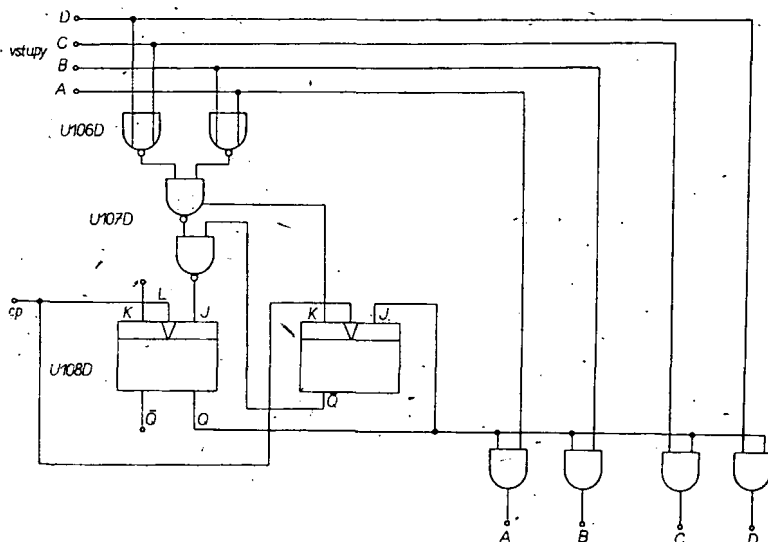
Integrovaný obvod U109D

Integrovaný obvod U109D je detektor parity pro devět bitů. Vstupy IO jsou proti elektrostatickému náboji chráněny diodami. Obvod je v pouzdře DIP-14, zapojení je na obr. 38 a parametry v tab. 9. U109D je ekvivalentem IO MEM1022 fy General Instruments. Jeho funkce byla již popsána.

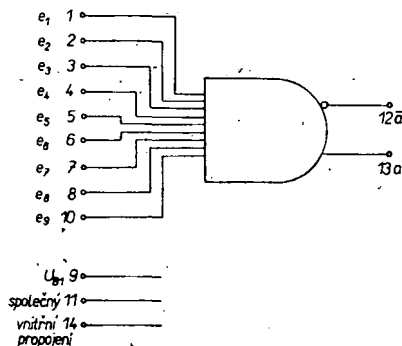
Integrovaný obvod U111D

Integrovaný obvod U111D je sedmistupňový programovatelný dělič kmitočtu v pouzdře DIP-24, jehož zapojení je na obr. 39 a parametry v tab. 10. U111D je programovatelný v následujících funkcích: dělicí poměr jednotlivých stupňů je 2 až 16, odporů na vstupech cp_1 , cp_2 , res. $pres$; stav je vymazatelný signálem přenos; počítání je spouštěno náběžnou hranou; číslem, na které je přednastaven (nezávisle na každém stupni).

Každý výstup je vyveden zvlášť. Z důvodů měření má dělič dva oddělené taktovací vstupy, které jsou při běžném provozu spolu propojeny. Dělič je nastaven na konstantní dělicí poměr a kromě toho může být vynulován. Všechny výstupy jsou přes výstupní



Obr. 37. Synchronizace vstupních signálů



Obr. 38. Zapojení U109D

Tab. 9. Parametry U109

Mezní údaje

Napájecí napětí: -31 až $+0,3$ V.
Vstupní napětí: -25 až $+0,3$ V.
Vstupní špičkové napětí: -31 V.
Vstupní špičkový impulsní proud: $+2$ mA.
Zatěžovací kapacita: 10 nF.
Pracovní teplota: 0 až 70 °C.

Statické údaje

(0 až 70 °C, $U_{B1} = -26$ až -29 V)
Výstupní napětí L při $-U_{vstH} = 2$ V,
 $U_{vstL} \approx -9$ V,
 $R_z = 100$ kΩ: min. -10 V.
Výstupní napětí H při $-U_{vstH} = 2$ V,
 $U_{vstL} = -9$ V,
 $R_z = 100$ kΩ: max. -1 V.
Výstupní napětí L při $-U_{vstH} \leq 2$ V,
 $I_z = +1$ mA: min. -5 V.
Výstupní napětí H při $-U_{vstL} \approx -9$ V,
 $I_z = -1$ mA: min. -3 V.

Dynamické údaje

(0 až 70 °C, $U_{B1} = -27$ V, $U_{vst} = -13$ V, $C_z = 60$ pF)
Vstupní kapacita: max. 6 pF.
Zpoždění
 t_{on} a: max. 650 ns,
 t_{on} a: max. 950 ns,
 t_{of} a: max. 930 ns,
 t_{of} a: max. 710 ns.

Tab. 10. Parametry U111D

Mezní údaje

Napájecí napětí U_{B1} : -31 až $+0,3$ V.
 U_{B3} : -31 až $+0,3$ V.
Vstupní napětí: -25 až $+0,3$ V.
Pracovní teplota: 0 až 70 °C.

Dynamické údaje

($U_{B1} = -27$ V, $U_{B3} = -8$ V, $C_z = 20$ pF, 25 °C)

Čítaný kmitočet: max. 500 kHz.

Zpoždění

t_{d} : typ. 800 ns, max. 1300 ns.

t_{on} : min. 1 μs, typ. 1 μs, max. 2 μs.

Délka impulsu na preset: min. 800 ns,

na reset: min. 800 ns.

Délka taktovacího impulsu: min. 900 ns.

Délka mezery taktovacího impulsu: min. 900 ns.

Doba náběžné hrany takt. impulsu: max. 10 μs.

Doba sestupné hrany takt. impulsu: max. 10 μs.

Statické údaje (0 až 70 °C)

Napájecí napětí

U_{B1} : min. -25 V, typ. -27 V, max. -28 V,

U_{B3} : min. $-6,25$ V, typ. -8 V, max. $-8,75$ V.

Vstupní napětí H: typ. 0 V, max. -2 V.

Vstupní napětí L: min. -9 V.

Výstupní proud L při $U_{B1} = -25$ V: -10 μA.

Výstupní napětí H při $I_{vstH} = -2$ mA, $U_{B1} = -25$ V,

$U_{B2} = 0$ V, $U_{B3} = -6,25$ V: max. $9,1$ V.

Vstupní proud: min. -1 mA, max. -2 mA.

Odběr ze zdroje při $U_{B1} = -28$ V: max. 30 mA.

Jmenovité údaje při spojení s obvody TTL

Napájecí napětí

U_{B1} : min. $-14,5$ V, typ. -14 V, max. $-13,5$ V,

U_{B2} : min. $11,5$ V, typ. 13 V, max. $13,5$ V,

U_{B3} : min. $4,75$ V, typ. 5 V, max. $5,25$ V.

Výstupní napětí

H: min. $U_{B2} - 2$ V,

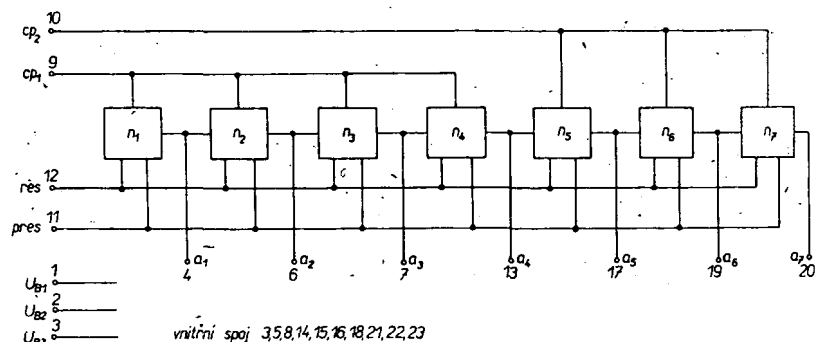
L: max. $U_{B2} - 9$ V,

H (při $I_{vstH} = 2$ mA): min. $-2,4$ V.

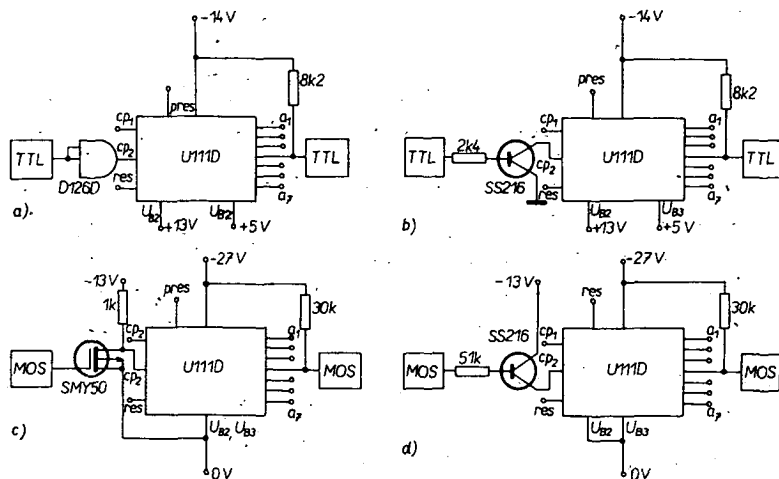
tranzistory kompatibilní s obvody TTL (otevřený kolektor) a jejich emitory jsou vyvedeny na vývod U_{B3} . Z obr. 39 je zřejmé, že všechny děliče pracují synchronně, čímž je dosaženo toho, že všechny výstupní signály jsou zpožděny oproti signálu vstupnímu stejně. Pro snazší buzení z obvodů TTL jsou na vstupech U111D integrované odpory (5 až 10 kΩ), a proto není možné přímé propojení tohoto IO a dalších obvodů MOS. V současné době se U111D vyrábí ve dvou provedeních (tab. 11).

Při vhodné volbě napájecích napětí U_{B1} , U_{B2} , U_{B3} je možné U111D propojit s obvody TTL i MOS. Při propojení s obvody TTL je využito integrovaných vstupních odporů, na výstupu jsou koncové stupně s otevřeným kolektorem přes odpor spojeny s U_{B1} . Vstupy

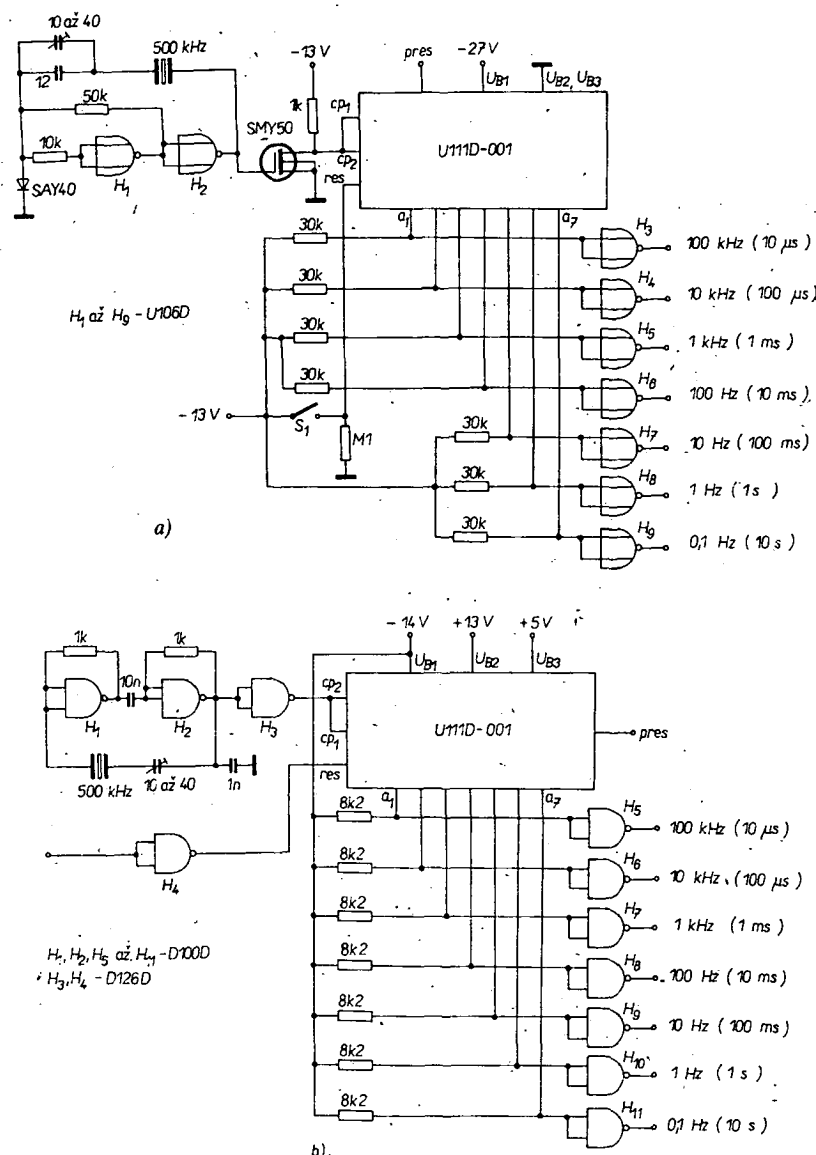
U111D mohou být buzeny z hradla TTL s otevřeným kolektorem (obr. 40a). Musí být však splněna podmínka, že $U_{OH} = 15$ V, kterou např. splňuje hradlo D126D. Vstupní odpor U111D je pracovním odporem pro toto hradlo. Méně obvyklá vazba s obvody TTL je na obr. 40b. U111D je vázán s obvody TTL přes tranzistor p-n-p. Přímé propojení obvodů MOS a U111D je vzhledem k malému vstupnímu odporu U111D nemožné, a proto musíme na vstup připojit tranzistor MOS (obr. 40c). Na výstup je nutno zapojit odpor asi 30 kΩ oproti napětí -27 V; aby na výstupu byly úrovně potřebné pro obvody MOS. Další možnost spojení obvodů MOS a U111D je na obr. 40d. Když je na výstupu obvodu MOS úroveň L, neteče odporem R_1 žádný proud a tranzistor T_1 je



Obr. 39. Zapojení U111D



Obr. 40. Vazba U111D na obvody TTL a MOS



Obr. 41. Zapojení časové základny s U111D

Tab. 11. Dvě varianty U111D

U111D-001

dělicí poměr

$$a_1 : a_2 : a_3 : a_4 : a_5 : a_6 : a_7 \\ 5 : 10 : 10 : 10 : 10 : 10 : 10 \quad f_p/f_7 = 5 \cdot 10^6$$

U111D-002

dělicí poměr

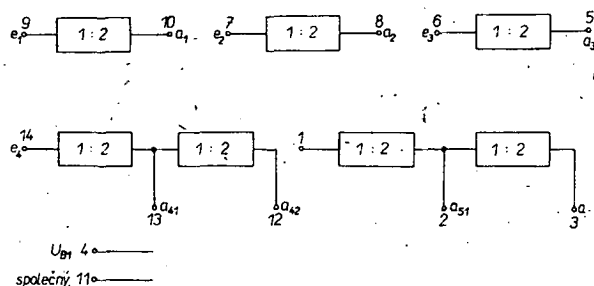
$$A_1 : A_2 : A_3 : A_4 : A_5 : A_6 : A_7 \\ 10 : 10 : 10 : 10 : 10 : 10 : 10 \quad f_p/f_7 = 10^7$$

uzavřen. Při úrovni H teče do báze T_1 proud omezený odporem R_1 . Odpor R_1 musíme volit tak, aby nebyl překročen maximální výstupní proud obvodu MOS, tj. 1 mA.

U111D je určen pro realizaci časové základny u hradlovacích obvodů. Spojením s krystalovým oscilátorem lze jednoduše vytvořit časovou základnu s dekadickým výstupem. Pro krystalový oscilátor můžeme použít jak obvody MOS, tak i TTL. Horní mezní kmitočet U111D určuje i kmitočtový rozsah celé časové základny. Oscilátor je zapojen jako krystalem řízený astabilní multivibrátor a pro napájení U111D je použit tranzistor MOS SMY50 (obr. 41a). Výstupní signál je tvarován hradly NOR (U106D). Spínačem S_1 můžeme dělič nastavit na úroveň LLLLLL. Na obr. 41b je zapojení časové základny s obvody TTL a U111D, který je řízen obvodem TTL D126D. Je zde využito kompatibility s obvody TTL.

Integrovaný obvod U112D

Integrovaný obvod U112D je sedmistupňový binární dělič kmitočtu MOS s kanálem p. jehož zapojení je na obr. 42. parametry jsou v tab. 12. IO je v pouzdře DIP-14. Vstupy děličů jsou chráněny proti elektrostatickým nábojům ochrannými diodami. Doporučené napájecí napětí je $U_{B1} = 25$ až 28 V. V U112D jsou tři děliče 2 : 1 s vyvedenými vstupy i výstupy a dva dvojité děliče s dělicím poměrem 4 : 1 a 2 : 1, které mají vyveden jeden vstup a dva výstupy. Všechny děliče lze spolu propojit v libovolném pořadí do řetězce. Horní mezní kmitočet je 125 kHz a nabězná hrana vstupního impulsu musí být kratší než 10 μ s při vstupním napětí $U_{vst.} = 9$ V. Výstupy jsou přizpůsobeny vstupům. Nabězná a sestupné hrany musí být kratší než 10 μ s. Při zatěžovacím odporu 6 k Ω je výstupní proud 1,5 mA a úroveň výstupního napětí $U_{vst.} = 9$ V. U112D je kompatibilní s U101D až U108D, U311D a U352D. U112D je určen pro elektronické hudební nástroje (obr. 43). Kmitočty nejvyšších oktáv jsou generovány dvanácti oscilátory. Všechny další kmitočty pro elektronické varhany se získávají dělením základních kmitočtů. Pro osmioktávový hudební nástroj potřebujeme dvanáct U112D (obr. 43). U hudebních nástrojů s menším počtem oktáv můžeme nepoužité části U112D použít i pro dělení v jiných oktávách. S U112D lze vytvořit i dělič kmitočtu s dělicím poměrem 6 : 1 nebo 10 : 1 (obr. 44). Z kmitočtu 102,4 kHz lze dělením získat sekundové a minutové impulsy pro číslicové hodiny nebo řídicí obvody.



Obr. 42. Zapojení U112D

Tab. 12. Parametry U112D

Statické údaje (25 °C, $U_{B1} = -26$ až -29 V)**Vstupní napětí** L při $R_z = 100$ k Ω : min. -10 V, typ. -14 V, max. -20 V. H při $R_z = 100$ k Ω : max. -1 V. L při $I_z = 1,5$ mA: min. -9 V. H při $I_z = -1$ mA: max. -8 V.Odběr ze zdroje při $R_z = 100$ k Ω : max. 10 mA.Zatěžovací odpor: min. 6 k Ω .**Dynamické údaje**Mezní kmitočet při $C_z = 60$ pF: 125 kHz.Strmost náběžné a sestupné hrany při $U_{vstH} = -2$ V, $U_{vstL} = -9$ V, $C_z = 60$ pF: max. 10 μ s.Zpoždění $R_z = 6$ k Ω , $C_z = 60$ pF, t_{on} , t_{of} : max. 1 μ s.Délka taktu při $U_{vstH} = -2$ V, $U_{vstL} = -9$ V, $C_z = 60$ pF: min. 2 μ s.Mezera taktu při $U_{vstH} = -2$ V, $U_{vstL} = -9$ V, $C_z = 60$ pF: min. 2 μ s.

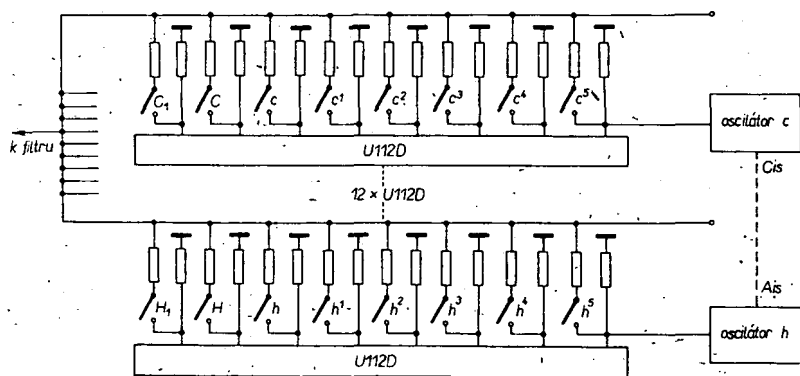
Vstupní kapacita: max. 10 pF.

Zatěžovací kapacita při $R_z = 6$ k Ω : max. 2 nF.

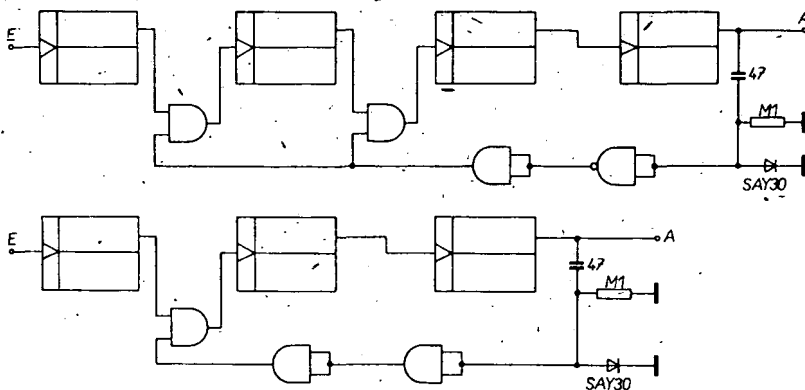
Tab. 13. Parametry U113D

Mezní údaje (0 až 70 °C)Napájecí napětí U_{B1} : min. $-0,2$ V, max. 3 V.Vstupní napětí: $U_{B1} + 0,2$ V.

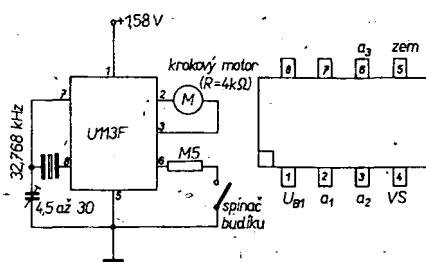
Pracovní teplota: 0 až 70 °C.

Jmenovité údaje (25 °C)Napájecí napětí U_{B1} : min. 1,35 V, typ. 1,58 V, max. 1,65 V.Odběr ze zdroje při $U_{B1} = 1,58$ V, $C_z = 10$ pF, $f = 32,768$ kHz: max. 3 μ A.Výstupní napětí L na a_1 , a_2 při $U_{B1} = 1,35$ V, $R_z = 4$ k Ω : max. 0,1 V. H při $U_{B1} = 1,35$ V, $R_z = 4$ k Ω : min. 1,2 V. H při $U_{B1} = 1,58$ V, $R_z = 4$ k Ω : min. 1,4 V. H na a_3 při $U_{B1} = 1,35$ V, $R_z = 500$ k Ω : min. 1,25 V.Doba náběhu oscilátoru při $U_{B1} = 1,4$ V, $C_z = 10$ pF, $f = 32,768$ kHz, $R_{z1} = 4$ k Ω , $R_{z2} = 500$ k Ω : max. 10 s.Perioda motorového impulsu při $U_{B1} = 1,58$ V, $f = 32,768$ kHz: max. 2 s.Šířka motorového impulsu při $U_{B1} = 1,58$ V, $f = 32,768$ kHz: 31,25 $\pm 0,5$ ms.Kmitočet tónu pro budík při $U_{B1} = 1,58$ V, $f = 32,768$ kHz: 4096 Hz.Sřídla tónu pro budík při $U_{B1} = 1,58$ V, $f = 32,768$ kHz: 2 : 1.

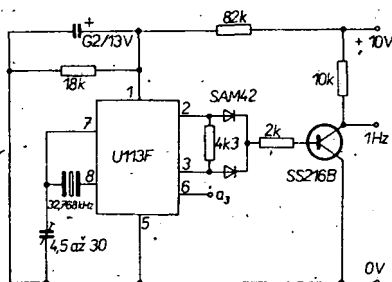
Obr. 43. Zapojení osmioktávového klávesového nástroje s U112D



Obr. 44. Děliče 6 : 1 a 10 : 1 s U112D



Obr. 45. Zapojení U113D



Obr. 46. Časová základna pro digitální hodiny

Integrovaný obvod U113F

Integrovaný obvod U113F je obvod COS-MOS, určený pro pánské krystalem řízené náramkové hodinky, který je v pouzdře flat-pack s osmi vývody a roztečí vývodů 1 mm. Jeho zapojení je na obr. 45 a v tab. 13 jsou jeho parametry. U113F je sestaven z oscilátoru, šestnáctistupňového děliče a dvou koncových stupňů. Oscilátor kmitá na kmitočtu 32,768 kHz a je řízen krystalem. Volba oscilačního kmitočtu náramkových krystalem řízených hodinek je kompromisem mezi přesností kmitočtu (a tím i přesností chodu hodinek) a odběrem ze zdroje (dobou napájení z jednoho „stříbrného“ článku 1,58 V). Přesnost kmitočtu, mechanické rozměry a otřesuvzdornost vyžadují při malém odběru proudu relativně nízký kmitočet krystalu. Při kmitočtu 32,768 kHz budou po vydělení v šestnáctistupňovém děliči na obou výstupech impulsy 0,5 Hz, které jsou od sebe posunuty o 1 s. Délka impulsu je $1/32$ s = 31,25 ms. Uvedenými impulsy je řízen přímo krokový motorek, který má odpor vinutí ≈ 4 k Ω . Tímto motorkem, který se pootočí o 180° za sekundu, je poháněn mechanický strojek hodin. Na třetím výstupu IO (vnitřní odpor 500 k Ω) je napětí pravouhlého průběhu o kmitočtu 4096 Hz, určené jako signál pro buzení piezoelektrického reproduktoru. Kondenzátorem 4,5 až 30 pF se nastavuje jmenovitý kmitočet 32,768 kHz. U113F lze použít i jako časovou základnu pro digitální hodiny. Zapojení na obr. 46 má na kolektoru tranzistoru SS216B sekundové impulsy s úrovněmi MOS.



Tab. 14. Parametry U118F

Mezní údaje

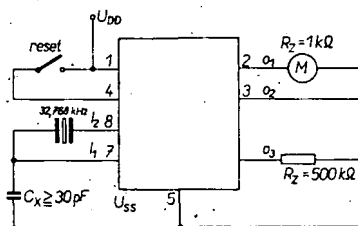
Napájecí napětí U_{DD} : min. -0,2 V, max. 3 V.
 Vstupní napětí U_I : typ. $U_{DD} + 0,2$ V.
 Pracovní teplota: -10 až 70 °C.

Jmenovité údaje

Napájecí napětí: min. 1,35, typ. 1,55, max. 1,65 V.
 Výstupní napětí L ($U_{DD} = 1,35$ V, $R_L = 1$ k Ω): max. 0,1 V.
 H na vývodech 1, 2: min. 1,2 V,
 L ($U_{DD} = 1,55$ V, $R_L = 1$ k Ω): max. 0,1 V,
 H : min. 1,4 V,
 L na vývodu 3
 ($U_{DD} = 1,35$ V, $R_L = 500$ k Ω): max. 0,1 V,
 H : min. 1,25 V.
 Proud do vstupu reset ($U_{DD} = 1,55$ V, $U_{IH} = 1,55$ V,
 $C_x = 200$ pF): max. 0,5 μ A.
 Odběr ze zdroje ($U_{DD} = 1,55$ V, $C_x = 10$ pF,
 $f_{osc} = 32,768$ kHz): max. 1,5 μ A.
 Doba náběhu oscilátoru ($U_{DD} = 1,4$ V, $R_L = 1$ k Ω ,
 $R = 500$ k Ω , $C_x = 10$ pF, $f_{osc} = 32,768$ kHz): max. 5 s.
 Perioda motorového impulsu: typ. 2 s.
 Šířka motorového impulsu: typ. 7,8 ms.
 Kmitočet signálního tónu: typ. 4096 Hz.
 Zpoždění: typ. 110,1 s.

Integrovaný obvod U118F

Integrovaný obvod U118F je určen pro náramkové hodinky. Je umístěn v 8vývodevém pouzdře flat-pack. Integrovaný obvod tvoří krystalem řízený oscilátor, 16stupňový dělič kmitočtu a výstupní obvod. U118F je určen pro krystalem řízené hodiny s analogo-

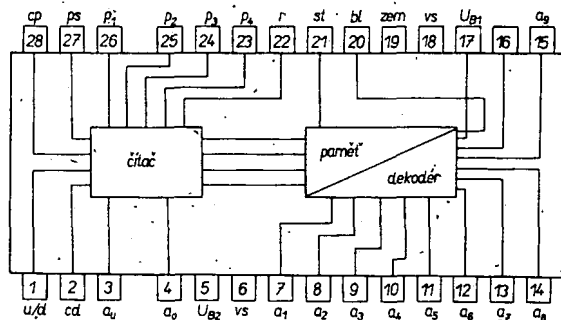


Obr. 47. Zapojení U118F

vým indikátorem času. K obvodu je nutné připojit jen krystal a kapacitní trimr. Na obou výstupech jsou impulsy 0,5 Hz, které jsou od sebe posunuty o 1 s. Výstupní impulsy jsou dlouhé 7,8 ms a řídí krokový motor s impedancí vinutí 1 k Ω . Přes vývod „reset“ lze posledních 10 stupňů děliče nastavit do výchozí polohy, takže po uplynutí definované doby (1 s) je na výstupu impuls pro motor. Kromě toho lze z IO odebrat i kmitočet 4096 Hz pro budík. U118F je zhotoven technologií CMOS, takže má malou spotřebu a je možné ho napájet ze zdroje 1,55 V. Zapojení U118F je na obr. 47 a jeho parametry jsou v tab. 14.

Integrovaný obvod U121D

Integrovaný obvod U121D je synchronní čtyřbitový čítač BCD vpřed-vzad se sedmsegmentovým dekodérem. Obvod je kompatibilní s ostatními obvody MOS. Maximální pracovní kmitočet je 500 kHz. Všechny vstupy a výstupy jsou v dvojčkové soustavě. U121D je v pouzdře DIP-28 a jeho parametry jsou v tab. 15. jeho zapojení je na obr. 48. Čítač čítá dekadicky čísla 0 až 9 a je spouštěn náběžnou hranou vstupního signálu. Na vý-



Obr. 48. Zapojení U121D, U122D

Tab. 15. Parametry U121D, U122D

Statické údaje

(0 až 70 °C, $U_{B1} = -26$ až -29 V, $U_{B2} = 13$ až $-14,5$ V)

Vstupní napětí

L : min. -9 V,
 H : max. -2 V.

Výstupní napětí L dvojčinného stupně při $R_L = 100$ k Ω : min. -10 V,

$L I_{Vysl} = 1$ mA: min. -5 V,

$H R_L = 100$ k Ω : max. -1 V,

$H I_{Vysl} = -1$ mA: max. -4 V,

H koncového tranzistoru při $R_L = 100$ k Ω : max. -1 V,

$H I_L = -1$ mA: max. -4 V.

Výstupní proud při L a $U_{Vysl} = -28$ V: max. 10 μ A.

Vstupní zbytkový proud při

$U_{Vst} = -20$ V: max. 3 μ A,

$U_{Vst} = -10$ V: max. 0,5 μ A.

Odběr ze zdroje při

$U_{B1} = -27$ V: typ. 10 mA, max. 18 mA,

$U_{B2} = -13$ V: typ. 1,5 mA, max. 3 mA.

Příkon při $U_{B1} = -27$ V, $U_{B2} = -13$ V: typ. 290 mW, max. 525 mW.

Dynamické údaje

Čítaný kmitočet: min. 0 Hz, max. 500 kHz.

Šířka čítaného impulsu: min. 1 μ s.

Délka poklesu čítaného impulsu při provozu

jednoho čítače: max. 20 μ s.

Délka poklesu čítaného impulsu: max. 2 μ s.

Doba nárůstu čítaného impulsu při provozu

jednoho čítače: max. 20 μ s.

Perioda impulsu: min. 1 μ s.

Doba nárůstu impulsu: max. 20 μ s.

Doba zániku impulsu: max. 20 μ s.

Zatěžovací kapacita: max. 200 pF.

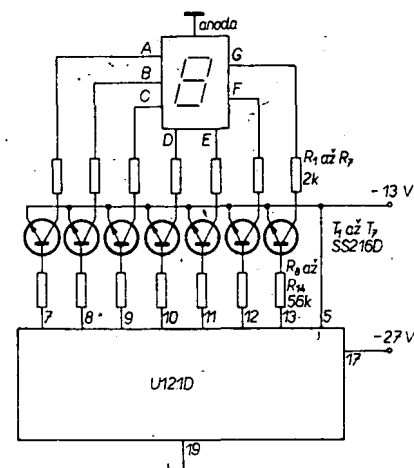
Zpoždění na výstupech a_0 a a_n při $C_L = 60$ pF,

$R_L = 100$ k Ω : typ. 1 μ s, max. 1,6 μ s.

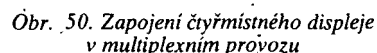
a_1 až a_{10} : typ. +1 μ s, max. 3 μ s.

stupy a_1 až a_7 se připojují segmenty sedmsegmentového displeje. Spojení s displejem je buď přímé (digitrony) nebo přes tranzistory (displej LED). Binární informace 2^0 (výstup a_{10}), 2^1 (výstup a_9) a 2^2 jsou rovněž vyvedeny. Informaci 2^3 lze získat sloučením informací 2^1 , 2^2 a informace G (výstup a_7) v třístupňovém hradle NOR. Při čtení informace 2^3 musí být na vstupu bl (blanking) úroveň L . Všechny výstupy mají tranzistor s otevřeným kolektorem. Bude-li na vstupu bl úroveň H , bude na výstupech a_1 až a_7 úroveň L . Čítaný kmitočet se přivádí na vstup cp a náběžná a sestupná hrana taktovacího impulsu musí být $t_w = 2$ μ s. Při čtení nesmí být vstup cp blokován blokovacím povelem (úroveň L na vstupu u/d). Povel „zpět“ a „zápis“ mají přednost před čítáním, tzn. že při těchto povelích je vstup zápisu dat blokován. Přes vstupy p_1 až p_4 lze do čítače U121D zapsat libovolnou informaci v kódu BCD, a to jen tehdy, je-li na vstupu ps úroveň H . Čítač U121D čítá vpřed při L na vstupu u/d a zpět při H na tomto vstupu. Při L na vstupu st se stav čtyř klopných obvodů čítače přenesou do paměti. Tato informace zůstává v čítači zachována a předchozí informace se „přepisuje“. Když bude na vstupu st úroveň H , zůstávají v paměti informace, které byly zapsány při L na vstupu st . Změny v čítači během H na vstupu st neovlivňují obsah paměti. Povel na vstupu bl se na danou logickou úroveň přepínají některé výstupy IO. Tento povel neovlivňuje ani obsah čítače, ani obsah paměti. Během povelu na vstupu bl

jsou blokovány výstupní tranzistory, což je vhodné zejména při strobování displeje. Po odpojení povelu ze vstupu bl se informace z paměti přenesou na výstup. U U121D je na výstup paměti připojen sedmsegmentový dekodér, který má na výstupu tranzistory s otevřeným kolektorem. Při vybuzení tranzistorů bude na výstupech úroveň H . Z výstupů a_1 až a_7 je možné přes oddělovací tranzis-

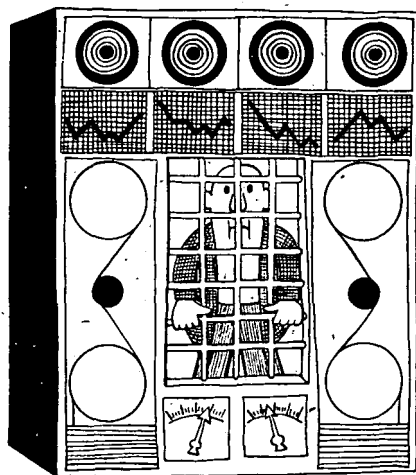


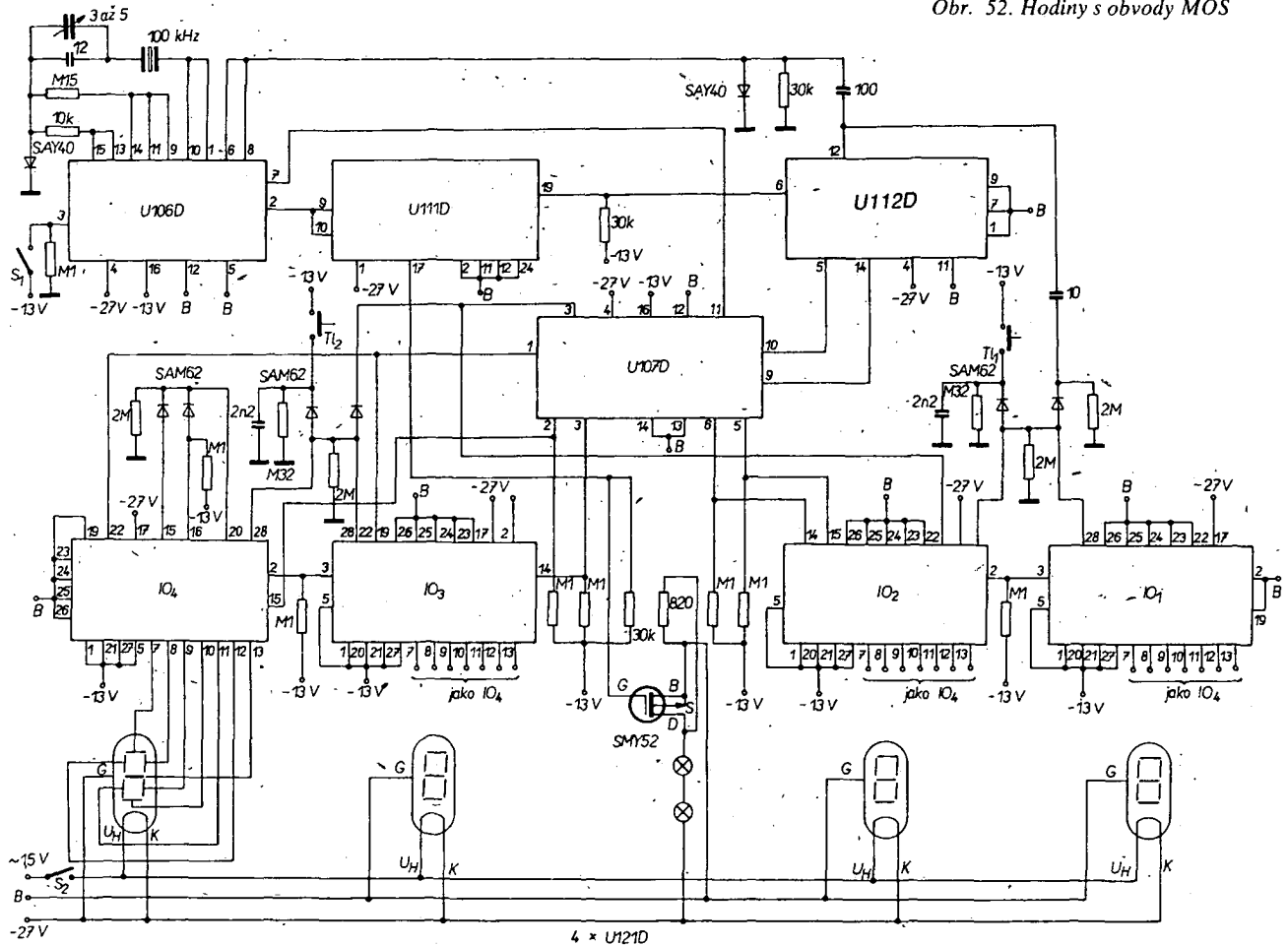
Obr. 49. Připojení sedmsegmentového displeje VQB71 k U121D



Na obr. 52 je zapojení digitálních hodin s obvody řady U1... D. Krystalem řízený oscilátor s U106D může být vyřazen z činnosti spínačem S₁. Oscilátor kmitá na kmitočtu 100 kHz. Hrany signálu jsou upraveny v U106D. Z výstupu tohoto IO je signál přiveden na dělič kmitočtu U111D, jehož vstupy cp₁ a cp₂ jsou spojeny paralelně. Na výstupu a_n U111D je impuls 0,1 Hz, který je veden na vstup U112D. Minutové impulsy z výstupu U112D jsou přes kondenzátor

Obr. 51: Fluorescenční elektronka (itron) buzená U121D





jsou získávány z výstupu a_5 U111D a ovládají řídicí elektrodu SPM52, který je zapojen jako spínač pro žárovky mezi jeho kolektorem a 0 V.

v kódu BCD a to tehdy, je-li na vstupu ps úroveň L. U122D čítá vpřed, je-li na vstupu u/d úroveň H, vzad při úrovni L. Parametry U122D jsou v tab. 15 a jeho zapojení je na obr. 48.

Integrovaný obvod U202D

Integrovaný obvod U202D je paměť RAM 1024 bitů. Tato paměť je určena pro malé paměťové systémy. Paměť má organi-

Integrovaný obvod U122D

Integrovaný obvod U122D je binární čítač pro čísla 0 až 15, který je spouštěn sestupnou hranou taktovacího impulsu. Binární informace jsou na výstupech a_1, a_3, a_5, a_7 a inverzní binární informace jsou na výstupech a_2, a_4, a_6, a_8 . Při stavu čítače 0 až 9 je na výstupu a_9 úroveň H a při stavu 10 až 15 je na a_9 úroveň L. Informace na výstupu a_{10} lze využít jako paritního bitu, chceme-li informace na výstupech a_1, a_3, a_5, a_7 doplnit na liché počty. Koncové stupně na výstupech jsou v dvojčinném zapojení. Je-li na vstupu b_1 úroveň L, pak na výstupech a_1 až a_{10} je úroveň H. Přes vstupy p_1 až p_4 lze do čítače zapsat informaci

Tab. 16. Parametry U202D

Mezní údaje

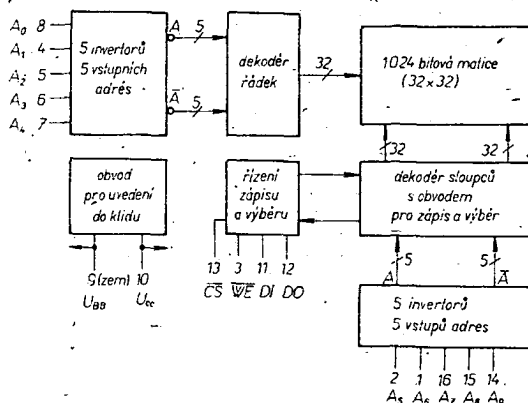
Napájecí napětí U_{CC} : -0,5 až 7 V.
Vstupní napětí U_i : -0,5 až 7 V.
Výstupní napětí U_o : -0,5 až 7 V.
Ztrátový výkon P_z : max. 1 W.
Pracovní teplota T_p : 0 až 70 °C.

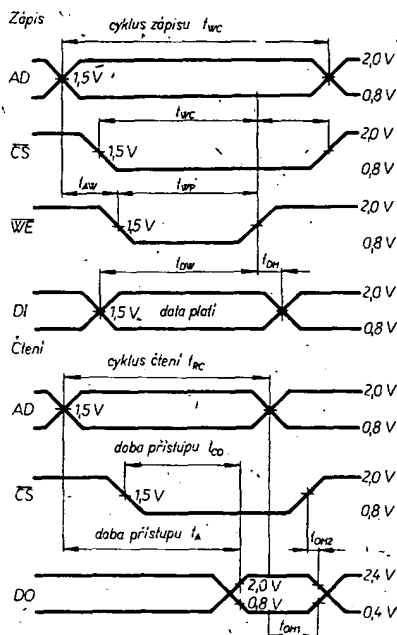
Statické údaje (0 až 70 °C, $U_{CC} \pm 1\%$, U_i a $U_o \pm 2,5\%$)

Vstupní proud ($U_{CC} = U_i = 5,25$ V): max. 10 μ A.
Výstupní závěrný proud ($U_{CC} = 5,25$ V, $U_o = 0$ až 5,25 V, $U_{CS} = -2$ V): max. 10 μ A.
Odběr ze zdroje ($U_{CC} = U_i = 5,25$ V): max. 45 mA.
Odběr ze zdroje při neaktivované paměti ($U_{CC} = U_i = 2$ V): max. 30 mA.
Výstupní napětí L ($U_{CC} = 4,75$ V, $I_{OL} = 2,1$ mA): max. 0,4 V.
Výstupní napětí H ($U_{CC} = 4,75$ V, $I_{OH} = -100$ μ A): 2,4 V.
Vstupní napětí H: min. 2 U_{CC} .
Vstupní napětí L: -0,5 až 0,8 V.
Napětí na vstupu CS: min. 2 V.
Vstupní kapacita ($U_i = U_o = 0$ V, $f = 1$ MHz): max. 5 pF.
Výstupní kapacita ($U_i = U_o = 0$ V, $f = 1$ MHz): max. 10 pF.

Dynamické údaje (0 až 70 °C, U_i a $U_o \pm 2,5\%$)

Délka čtecího cyklu t_{RC} : min. 400 ns.
Doba přístupu t_{ACC} : max. 400 ns.
Zpoždění na výstupu t_{CO} : max. 200 ns.
Vybavovací doba po změně adresy, t_{OH1} : 40 ns.
Vybavovací doba po změně CS, t_{OH2} : 0 ns.
Délka čtecího cyklu t_{WC} : min. 400 ns.
Doba předstihu adresy, t_{AW} : min. 20 ns.
Šířka impulsu „Zápis“ t_{WP} : min. 300 ns.
Doba zablokování adresy, t_{WR} : 0 ns.
Doba předstihu dat, t_{DW} : min. 300 ns.
Doba zablokování dat, t_{DH} : 0 ns.
Doba CS-L v cyklu zápisu, t_{CW} : min. 300 ns.
Vstupní zpoždění při aktivaci, t_{SE} : 0 ns.
Zpoždění na výstupu po aktivaci, t_{SA} : min. 400 ns.





Obr. 54. Časový diagram „zápis-čtení“ pro U202D

zaci 1024 × 1 bit, napájecí napětí 5 V ± 5 %, vstupní a výstupní úrovně odpovídají TTL, doba přístupu a cyklu je od 150 ns, ztrátový výkon 225 mW, pouzdro DIP-16, pracovní teplota 0 až 70 °C, klidový stav je při +2 V (40 mW), obvod má ochrany, používané při technologii MOS.

Organizace paměti

Na jednom čipu je 512 paměťových buněk, integrovaných ve dvou půlmaticích (16 × 32 bitů), proto je tedy třeba 32 řádkových a sloupcových dekódérů, obvod pro vstup a výstup dat se čtecím zesilovačem a budičem při zápisu, vstupy pro adresování a řízení a třístavové výstupy. Vnitřní organizace paměti a uspořádání vývodů je na obr. 53. CS je signál pro výběr paměťového čipu; čtení a zápis jsou možné po přivedení tohoto signálu. WE je signál ovládající buď čtení nebo zápis. Přes deset adres A₀ až A₉ je možné adresovat každý z 1024 bitů. DI je vstup dat a DO výstup dat.

Provoz paměti

Při nevybuzeném stavu (CS = H) je informace v 1024 paměťových buňkách zachována. Při tomto stavu je možné IO napájet napětím U_{DD} = 5 V nebo i menším, např. 1,5 V. Při nevybuzeném stavu nejsou možné ani zápis ani čtení, neboť výstupy dat mají velký odpor (třístavový výstup).

Při vybuzení paměti (CS = L) lze realizovat jak zápis, tak čtení. O tom, zda to bude zápis nebo čtení, rozhoduje úroveň na vstupu WE (zápis – WE = L, čtení – WE = H). Typický časový diagram cyklu zápis a čtení je na obr. 54. Při zápisu jsou data přivedena na vstup dat rovněž na výstup dat.

Při odpojení nebo výpadku napájecího napětí jsou data vymazána.

Paměť je zhotovena technologií MOS s kanálem n. Prahové napětí jednotlivých tranzistorů je nastaveno na +0,8 V, případně na -3,0 V. Paměťová buňka má vždy 6 tranzistorů. Vazba buněk na přívod bitů se děje volbou tranzistoru v příslušném řádku. Pro volbu řádku je použit dekódér řádek. Páry vodičů bitů jsou při volbě tranzistorů zapojeny na centrální přívod dat, který provádí volbu pomocí dekódérů sloupců.

Oba vodiče dat jsou v klidovém stavu na úrovni blízké napájecímu napětí. Jako čtecí zesilovač je použit rozdílový zesilovač MOS, jehož dva vstupy jsou připojeny na vstupy dat. Přes vybranou paměťovou buňku jsou

Tab. 17. Parametry U253D

Mezní údaje	
Napětí kolektoru vůči U _{BB} , U _{DD} : -25 až 0,3 V.	
Napětí emitoru vůči U _{BB} , U _{SS} : -25 až 0,3 V.	
Vstupní napětí vůči U _B , U _I : -25 až 0,3 V.	
Výstupní napětí vůči U _{BB} , U _O : -25 až 0,3 V.	
Pracovní teplota T _p : 0 až 70 °C.	
Statické údaje (0 až 70 °C, U _{DD} = 0 V, U _{SS} = 16 ± 0,8 V, U _{BB} - U _{SS} = 3 až 4 V)	
Vstupní zatěžovací proud (U _I = 0 V), -I _I : max. 1 μA.	
Výstupní závěrný proud (U _O = 0 V), -I _O : max. 1 μA.	
Odběr proudu, I _{BB} : max. 100 μA.	
Odběr proudu při CS „sepnuto“ (CS = 0 V), -I _{DD1} : max. 11 mA.	
Odběr proudu při CS „vypnuto“ (CS = U _{SS}), -I _{DD2} : max. 4 mA.	
Střední odběr proudu (doba cyklu = 580 ns): -I _{DD} : max. 25 mA.	
Vstupní napětí L, U _{IL} : U _{DD} - 1 V až U _{DD} + 1 V.	
Vstupní napětí H, U _{IH} : U _{SS} - 1 V až U _{SS} + 1 V.	
Výstupní proud H (R _L = 100 Ω), -I _{OH} : 0,5 až 4 mA.	
Dynamické údaje (0 až 70 °C, U _{DD} = 0 V, U _{SS} = 16 ± 0,8 V, U _{BB} - U _{SS} = 3 až 4 V)	
Doba přístupu (R _L = 100 Ω), t _{ACC} : max. 205 ns.	
Zpoždění na výstupu (C _L = 100 pF, U _{REF} = 40 mV), t _{CO} : max. 185 ns.	
Perioda obnovení t _{REF} : max. 2 ns.	
Zpoždění mezi adresou a CS, t _{AC} : 0 ns.	
Doba zablokování adresy, t _{AH} : min. 100 ns.	
CS „vypnuto“, t _{CC} : min. 230 ns.	
Zpoždění z CS na zápis-čtení, t _{CW} : 210 až 500 ns.	
Délka impulsu zápis-čtení, t _{WP} : min. 50 ns.	
Doba předstihu zápis-čtení, t _{WX} : min. 80 ns.	
Doba předstihu dat, t _{DW} : min. 105 ns.	
Doba zablokování dat, t _{DH} : min. 10 ns.	
Zpoždění mezi „zápis-čtení“ a CS, t _{WC} : 0 ns.	
Délka cyklu pro zápis-čtení nebo jen zápis, t _{RWC} : min. 580 ns.	
Délka cyklu při čtení, t _{RC} : min. 480 ns.	
Doba CS při cyklu čtení, t _{CV} : 210 až 500 ns.	

příslušné vodiče dat a bitů „vybijeny“, kdežto komplementární vodiče dat a bitů zůstávají „nabití“. Tento rozdíl se vyhodnocuje rozdílovým čtecím zesilovačem.

Zesilovač zápisu je tvořen párem tranzistorů MOS v protitaktním zapojení, jejichž výstupy ovlivňují oba vodiče dat. Výstupy zesilovače při čtení mají velký odpor. K zesilovačům čtení a zápis je potřebné přivést signály dat (DI, DO), vybuzení čipu (CS) a signál čtení-zápis (WE).

Jeden z 32 řádků nebo sloupců se vybírá dekódérem. Dekódér je zapojen jako pětivstupové hradlo NOR (MOS). Dekódér sloupců řídí přímo ze svých výstupů tranzistory sloupců. Dekódér řádek je doplněn protitaktními budiči, neboť pracuje do poměrně velké zátěže (54 tranzistorů řádek).

Vstupy dat, adres a řídící vstupy ovlivňují přímo hradla MOS se vstupním odporem 10⁹ Ω. Vstupy jsou tvořeny mnoha součástkami (tranzistory FET, diody), které je chrání před elektrostatickým nábojem. Ochrana působí při napětí větším než 25 V. Vstupní obvody převádějí úroveň TTL (L = 0,8 V, H = 2 V) na úroveň MOS (L = 0 V, H = 5 V).

Výstupy dat jsou v protitaktním zapojení. Při CS = H (čip neaktivován) budou oba tranzistory zavřeny, takže na výstupu bude velký odpor. Tím je umožněn sběrníkový provoz. Na výstupu je úroveň TTL.

Paměťové buňky jsou navrženy tak, že uchovávají informaci ještě při napětí U_{DD} = 2 V. Odběr ze zdroje při U_{DD} = 2 V je 2/3 odběru při U_{DD} = 5 V, takže v nevybuzeném stavu je zapotřebí jen 1/4 příkonu. Při U_{DD} = 3 V detekční obvod paměti uzavře vstupy adres. Tím je umožněno zapamatování informace při U_{DD} = 1,5 V, nikoli však zápis nebo čtení.

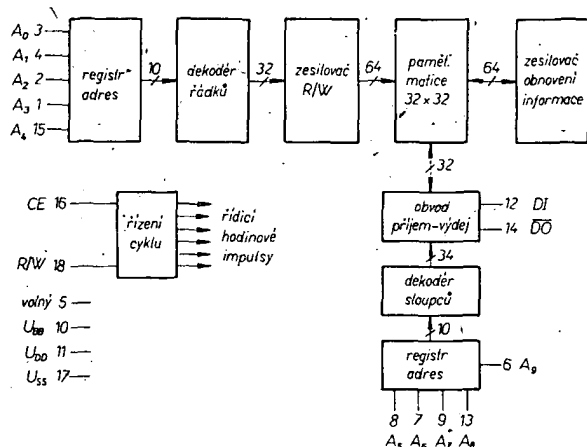
Napájecí napětí U202D je 5 V ± 5 %. Všechny vstupy a výstupy jsou kompatibilní s obvody TTL. Výstup může být spolehlivě zatížen obvodem TTL. Vstupy signálu mají velký vstupní odpor a vstupní kapacitu max. 5 pF. Doba přístupu t_a je 250 ns a odběr ze zdroje 30 mA. U202D pracuje staticky, tzn. že odběr proudu je závislostí na času je

konstantní a není závislý na druhu provozu. U202D je možné použít i ve velkých systémech paměti.

Parametry U202D jsou v tab. 16. U202D je ekvivalentem I2102A fy Intel a je v pouzdře DIP-16.

Integrovaný obvod U253D

Integrovaný obvod U253D je dynamická 1024bitová paměť RAM, u níž může být každý bit adresován jednotlivě. Její použitelnost je dána těmito parametry: doba nastavení t_{co} = 185 ns, čtecí cyklus t_{rc} = 480 ns, cyklus čtení-zápis t_{rwc} = 580 ns. Vzhledem k funkci paměti je dosahováno malého ztrátového výkonu – v klidu méně než 2 mW, v pracovním cyklu 400 mW. Pro řízení dynamické paměti je zapotřebí jen jeden takt (CE). Princip dynamické paměti vyžaduje obnovení informace, která se však při čtení nezruší. Vstupy jsou chráněny proti statickým nábojům. U253D vyžaduje tato napájecí napětí: U_{SS} = 16 V ± 5 %, U_{DD} = 0 V a U_{BB} = U_{SS} + 3 až 4 V. U253D je v pouzdře DIP-18. Parametry jsou v tab. 17 a zapojení na obr. 55. Buňky paměti jsou třítranzistorové a celý IO má 4054 tranzistorů MOS. U253D je sestaven z paměťové matice se 32 řádky a 32 sloupci, z registru adres pro 10 adres, z dekódérů řádek s budičem čtení-zápis, dekódérů sloupců s obvodem příjem-výdej, z obvodu řízení cyklu. U253D může mít tři stavy: klidový stav (CE = H), čtení (CE = L, R/W = H) a zápis (CE = L, R/W = L). Během paměťového cyklu probíhají tyto stavy za sebou, přičemž zápis může být vypuštěn. Při klidovém stavu je U253D v pohotovosti, takže pro následující cyklus je potřebná jen minimální vybavovací doba. Na počátku paměťového cyklu musíme připojit adresy, které platí pro následující paměťový



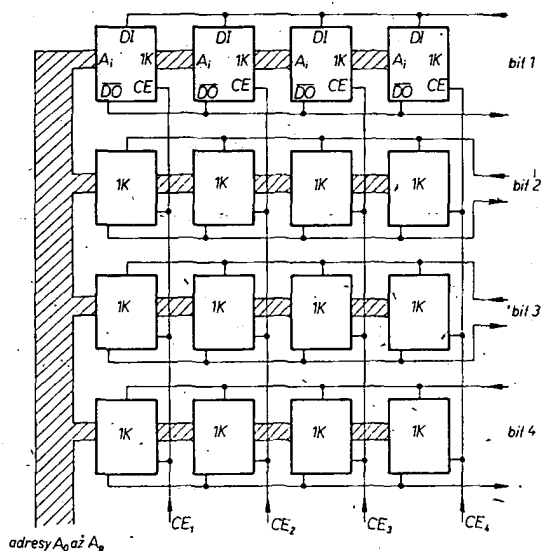
Obr. 55. Zapojení U253D

cyklus. Po proběhnutí přídržné doby adres t_{AH} můžeme adresy předčasné změnit, aniž by se ovlivnil probíhající paměťový cyklus.

Při čtení jsou z hrany impulsu CE odvozeny vzájemně zpožděné impulsy (např. X_R , S_{ref} , X_W atd.), které řídí dynamický průběh. Doba vybavení je určena zpožděním v dekodéru řádek, v budiči řádek, v paměťové buňce, v zesilovači obnovy informace a ve výstupním budiči. Informace z výstupu je odebrána z odporu zapojeného mezi DO a U_{DD} (odpor je 100 až 1000 Ω). Na odporu lze sloučit několik výstupů U253D.

V klidovém stavu je na DO úroveň L, avšak na počátku paměťového cyklu úroveň H, dána jen určenou fází, ve které je platná informace na výstupu. Tato fáze začíná sestupnou hranou CE po proběhnutí doby vybavení a končí náběžnou hranou CE při čtení nebo sestupnou hranou R/W při cyklu čtení-zápis. Z toho vyplývá, že zejména při minimální době cyklu je nutný pečlivý časový návrh klíčovacího impulsu. První zápis je možný po skončení čtení, aby bylo zajištěno obnovení informace ve zvoleném řádku. Tím bude zapsána informace na DI při R/W = L do zvolené buňky. Po skončení paměťového cyklu je potřebná přestávka do započetí dalšího cyklu, aby mohl být obnoven klidový stav. Regenerace fáze je nutná, protože doba cyklu je delší než doba vybavení. S každým paměťovým cyklem je obnovena odpovídající informace na A₀ až A₄ zvolené řádky. Aby nedošlo ke ztrátě informace, je nutné, aby byl každý řádek jednou během 2 ms aktivován.

U253D je určen především pro hlavní paměť počítače, kde je požadována krátká doba vybavení, malý příkon, velká spolehlivost a co nejmenší počet pouzder. Vzhledem k možnosti sloučit výstupy na odporu a možnosti řídit vstupy CE můžeme sestavit různé organizované paměti. Na obr. 56 je příklad zapojení paměti se 4000 slovy po 4 bitech. Počet slov můžeme ve vodorovném směru rozšířit stupni 1K a počet bitů na slovo přidáním obvodů ve svislém směru. Z příkladu na obr. 56 je zřejmé, že je aktivována vždy jen část obvodů (zde 25 %). Vzhledem k tomu, že tato část je u velkých pamětí podstatně menší než část neaktivovaná, je příkon celé paměti dán klidovým příkonem. U U253D je klidový příkon velmi malý, takže i velká paměť s těmito IO má malou spotřebu. Provozní spolehlivost U253D je $\lambda_B = 2 \cdot 10^{-7} h^{-1}$. Tato spolehlivost umožňuje sestavit paměť o kapacitě 10M bitů, u níž střední doba mezi dvěma poruchami je 500 hodin. Při použití metody samostatné korekce jednobitové chyby je možno dosáhnout ještě podstatně příznivějších výsledků.



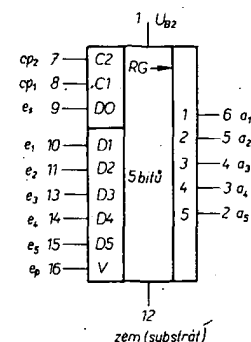
Obr. 56. Zapojení paměti 16K s U253D

U253D není kompatibilní s obvody TTL, proto musí mít na vstupech i výstupech interface. Na všech vstupech je potřebná úroveň $H = U_{SS} \pm 1 V$ a úroveň $L = U_{DD} \pm 1 V$. Při paralelním spojení vstupů (na obr. 56 je paralelně spojeno 16 vstupů) je třeba velký budič výkon; jako budič je použit D461. Na výstup je nutné zapojit zesilovač, aby byla přenesena minimální úroveň DO 50 mV při $R_i = 100 \Omega$. Jako zesilovač je použit D122. Protože U253D je paměť dynamická, potřebuje obnovení informace, tj. na vstupech budiče a na výstupech musí být zesilovače. IO potřebuje napájecí napětí, která nejsou běžná v logice TTL, proto je použití U253D ekonomické jen ve velkých pamětech. Pro malé paměti jsou vhodnější U202D.

Integrovaný obvod U311D

Integrovaný obvod U311D je pětibitový statický posuvný registr, který pro posuv informace potřebuje dvojce externí hodiny. U311D má paralelní nebo sériový vstup a výstup. Obvod je v pouzdře DIP-16, jeho parametry jsou v tab. 18 a zapojení na obr. 57. U311D je ekvivalentem IO MEM3005PP fy General Instruments.

Paralelní provoz je možný při připojení nabíjecího impulsu na e_p během doby hodin cp_2 ($cp_2 = L$, $cp_1 = H$). Signál na e_p je odvozen ze sledu hodinových impulsů cp_2 . Vstupní



Obr. 57. Zapojení U311D

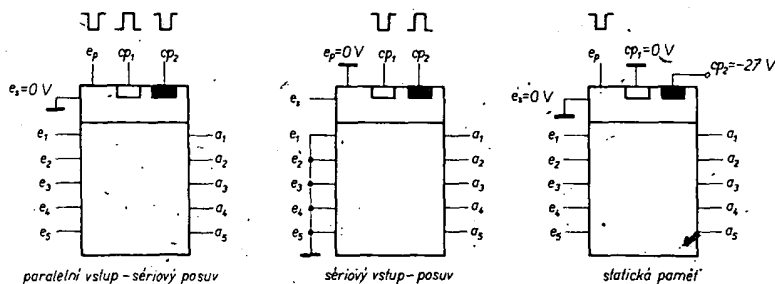
signál je přenesen na výstup během $cp_2 = L$. Dříve zapsaný signál bude při tom přepsán.

Při sériovém provozu je signál přivedený na e_s během $cp_1 = L$ ($cp_2 = H$) v registru zapamatován. Celý obsah registru je posunut dále paměťovou buňkou. Dalšího posuvu informace na výstup se dosáhne zápornou hranou následujícího hodinového impulsu cp_2 .

K dlouhodobému zapamatování informace dojde, je-li cp_2 spojen s U_{B1} ($-27 V$) a $cp_1 = H$. Na taktovacích vstupech nesmí být současně signál L. Je-li $e_p = L$, je informace přenesena až na výstup. Na obr. 58 je zapojení při paralelním a sériovém provozu a pro paměť.

Tab. 18. Parametry U311D

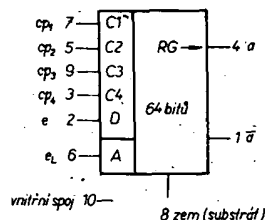
Mezní údaje (0 až 70 °C)	
Napájecí napětí U_{B2} : -31 až +0,3 V, na hodinovém vstupu: -31 až +0,3 V.	
Vstupní napětí na signálovém vstupu: -25 až +0,3 V.	
Vstupní špičkový impulsní proud: 2 mA.	
Zatěžovací kapacita: 10 nF.	
Pracovní teplota: 0 až 70 °C.	
Dynamické údaje	
Zpoždění t_{on} : typ. 400 ns, t_{of} : typ. 600 ns.	
Kmitočet hodinového impulsu: max. 500 kHz.	
Statické údaje (25 °C, $U_{cpL} = -26 \pm 2 V$, $U_{B2} = -13$ až 14,5 V)	
Zbytkový proud na vstupu signálu při $U_{cp} = -25 V$: max. -10 μA , hodin cp_1 při $U_{cp} = -31 V$: max. -50 μA , cp_2 při $U_{cp} = -31 V$: max. -1 mA.	
Výstupní napětí L při $U_{cpH} = -2 V$, $U_{cpL} = -9 V$, $R_i = 100 k\Omega$: min. -10 V, H při $U_{cpH} = -2 V$, $U_{cpL} = 9 V$, $R_i = 100 k\Omega$: max. -1 V, -9 V, L při $U_{cpH} = -2 V$, $U_{cpL} = -9 V$, $I_z = +1 mA$: min. -5 V, H při $U_{cpH} = -2 V$, $U_{cpL} = -9 V$, $R_i = 100 k\Omega$: max. -3 V.	
Odběr proudu ze zdroje U_{cp} : max. -1 mA.	
Vstupní kapacita při $U_{cp} = U_{B2} = 0 V$, $f = 0,5$ až 2 MHz na vstupu signálu: max. 4 pF, hodin cp_1 : max. 5 pF, cp_2 : max. 7 pF.	



Obr. 58. Zapojení U311D při paralelně-sériovém provozu a paměti

Integrovaný obvod U352D

Integrovaný obvod U352D je dynamická 64bitová sériová paměť v pouzdře DIP-10, jejíž zapojení je na obr. 59 a parametry v tab. 19. U352D je ekvivalentem IO MEM3064B firmy General Instruments. Vedle jednotlivých posuvných registrů je v IO obvod pro řízení logické funkce naplnění a vyprázdnění. Pro zvětšení kapacity lze spojit přímo, bez použití dalších obvodů, několik těchto IO. Pro provoz jako posuvný registr je použit systém se čtyřfázovými hodinami.



Obr. 59. Zapojení U352D

Při funkci naplnění musí být vstup e během doby t_{p34HH} minimálně po dobu 100 ns na úrovni L a vstup e_L musí být minimálně po dobu t_{p42HH} na úrovni H. Pro funkci vyprázdnění platí, že vstup e_L musí být minimálně po dobu t_{p12LH} na úrovni L.

U352D i U311D je možno použít i v dělicích a čítačích kmitočtu.

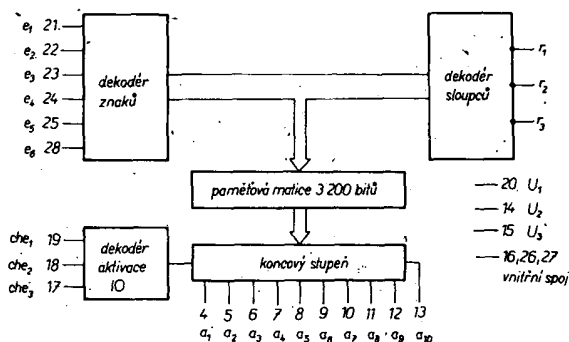
Tab. 19. Parametry U352D

Mezní údaje (0 až 70 °C)	
Vstupní napětí na vstupu hodin: -31 až $+0,3$ V,	
signálu a paměti: -25 až $+0,3$ V.	
Vstupní impulsní špičkový proud: 2 mA.	
Pracovní teplota: 0 až 70 °C.	
Provozní podmínky	
Napětí na vstupu hodin U_{cpL} : min. -24 V, max. -27 V,	
U_{cpH} : min. 0 V, max. -1 V,	
signálu a paměti U_{vstL} : min. -9 V, max. -24 V,	
U_{vstH} : min. 0 V, max. -2 V.	
Kmitočet hodinového impulsu: min. 0,01 MHz, max. 1 MHz.	
Statické údaje (25 °C)	
Zbytkový proud na vstupu signálu a paměti při \bar{U}_{vst} =	
-25 V: max. 10 μ A,	
hodin při $U_{vst} = -31$ V: max. -50 μ A.	
Výstupní napětí L při $U_{vstH} = -2$ V, $U_{vstL} = -9$ V,	
$U_{cpL} = -24$ V, $U_{cpH} = -1$ V, $f = 300$ kHz,	
$R_z = 10$ M Ω : min. -10 V.	
Výstupní napětí H při $U_{vstH} = -2$ V, $U_{vstL} = 9$ V,	
$U_{cpL} = -24$ V, $U_{cpH} = -1$ V, $f = 300$ kHz,	
$R_z = 10$ M Ω : max. -2 V.	
Vstupní kapacita při $f = 0,5$ až 2 MHz na	
vstupu signálu a paměti: max. 3 pF,	
hodin: max. 22 pF.	

Integrovaný obvod U401D

Integrovaný obvod U401D je 3200bitový generátor znaků, tj. tedy statická paměť ROM. U401D je kompatibilní s obvody TTL. Obvod je určen pro elektronické dál-nopisy. Je umístěn v pouzdře DIP-28, jeho zapojení je na obr. 60 a parametry jsou v tab. 20. Generátor značek má kapacitu 3200 bitů (64 znaků po 50 bitech) a délku slova 10 bitů. Znak jsou vyvedeny z IO ve sloupcích s maticí 5.10 bitů. Pro volbu znaků je použito šest vstupů adres (e_1 až e_6). Pro volbu sloupce slouží vstupy r_1 až r_3 a pro aktivaci IO slouží vstupy che_1 až che_3 . Přes vstupy che_1 až che_3

Obr. 60. Zapojení U401D



Tab. 20. Parametry U401D

Mezní údaje	
Napájecí napětí	
U_1 : -20 až $+0,3$ V,	
U_2 : -15 až $+0,3$ V,	
Vstupní napětí: -20 až $+0,3$ V.	
Pracovní teplota: 0 až 60 °C.	
Výstupní proud na každém výstupu: 1,6 mA.	
Jmenovité údaje	
Jmenovité napájecí napětí	
U_1 : min. -11 V, typ. -12 V, max. -13 V,	
U_2 : typ. 0 V,	
U_3 : min. 4,75 V, typ. 5 V, max. 25 V.	
Zbytkový proud při 25 °C, $U_{vst} = -10$ V: max. -1 μ A.	
Výstupní napětí L při $U_1 = -13$ V: max. 0,2 V,	
H: min. 4,75 V,	
L při $U_2 = 0$ V, $U_3 = 5,25$ V,	
$U_{vstH} = 3,25$ V, $I_z = 1,6$ mA: max. 0,4 V,	
H při 25 °C, $U_{vstL} = 0,4$ V,	
$I_z = -0,5$ mA: min. 2,4 V.	
Odběr proudu I_1 při $U_1 = -12$ V, $U_2 = 0$ V: $U_3 = 5$ V,	
$U_{vstH} = 3$ V, $U_{vstL} = 0,4$ V: max. 30 mA.	
Doba vybavení znaku při $U_1 = -11$ V, $U_2 = 0$ V,	
$U_3 = 4,75$ V, $C_z = 80$ pF: max. 8 μ s.	
Doba vybavení IO při $U_{vstL} = 0$ V, $R_z = 2,7$ k Ω ,	
$C_z = 80$ pF: max. 3 μ s.	
Vstupní kapacita na vstupech che_1 až che_3 ,	
e_1 až e_6 , r_1 až r_3 : max. 10 pF.	

lze při paralelně spojených generátorech znaků aktivovat jeden z nich. V tomto případě je vždy zapojen jen jeden generátor znaků. Všechny vstupy mohou být nastaveny, pokud řídicí hradlo nebudí další hradla TTL a jeho úroveň je $H = +2,75$ V. Na výstup můžeme připojit jedno hradlo TTL. Vstupy obvodu jsou diodami chráněny proti elektrostatickému náboji.

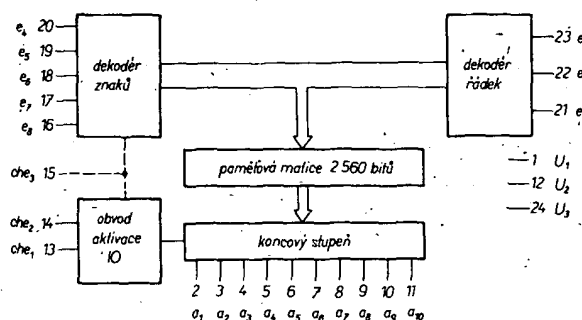
Integrované obvody U402D, U403D

Integrované obvody U402D, U403D jsou statické paměti ROM, určené do zařízení pro zpracování dat. Jsou v pouzdře DIP-24, jejich parametry jsou v tab. 21 a zapojení na obr. 61. Generátor znaků má kapacitu 2560 bitů a výstup znaků je v řádcích po osmi slovech s délkou slova 5 nebo 10 bitů. Generátor znaků U402D má 512 slov s délkou slova 5 bitů, U403D má 256 slov s délkou slova 10 bitů. Všechny jedenáct vstupů je chráněno diodami proti poškození statickými náboji. Počet znaků je 64. Generátory znaků s označením vzorku bitu 007 až 499 jsou určeny pro napájecí napětí MOS, s označením vzorku bitu 500 až 999 jsou kompatibilní s obvody TTL.

Vstupy e_1 až e_3 řídí dekodér řádek, vstupy e_4 až e_6 jsou adresovací vstupy řádků a vstupy che_1 až che_3 aktivují IO. U403D má tři vstupy che (chip enable), kterými je aktivován při

Tab. 21. Parametry U402D, U403D

Mezní údaje	
Napájecí napětí	
U_1 :	-20 až +0,3 V,
U_2 :	-15 až +0,3 V,
Vstupní napětí:	-20 až +0,3 V,
Pracovní teplota:	0 až 70 °C.
Statické údaje (25 °C)	
Napájecí napětí	
$-U_1$:	min. 15,75 V, typ. 17 V, max. 18,25 V,
$-U_2$:	min. 4,75 V, typ. 5 V, max. 5,25 V,
U_3 :	typ. 0 V.
Vstupní napětí	
H :	min. -2 V, max. 0 V,
L :	min. -18,25 V, max. 4,35 V,
Vstupní zbytkový proud při $U_1 = U_2 = U_3 = 0$ V,	
U_{vst} :	-10 V: max. 3 μ A,
Výstupní napětí L (vztaženo k U_3) při $R_L = 100$ k Ω :	max. U_2 -0,2 V,
při $I_{\text{vst}} = 1,6$ mA: typ. U_2 -0,25 V,	
L :	max. U_2 -0,4 V,
H při $R_L = 100$ k Ω :	min. -0,5 V,
H při $I_{\text{vst}} = -0,5$ mA: min. $U_2 + 2,4$ V, max. 0 V.	
Odběr zdroje při MOS	
$U_1 = -17$ V: typ. 25 mA, max. 40 mA,	
$U_2 = -5$ V: typ. 14 mA, max. 16 mA,	
$U_3 = 0$ V, I_3 :	typ. 25 mA, max. 40 mA.
Ztrátový výkon:	typ. 540 mW, max. 750 mW.
Vstupní kapacita na všech vstupech:	max. 6 pF.
Dynamické údaje ($C_L = 80$ pF)	
Doba vybavení	
e_4 až e_8 :	min. 180 ns, max. 580 ns,
e_1 až e_3 :	min. 150 ns, max. 510 ns,
che_1 až che_3 :	min. 150 ns, max. 510 ns.

Obr. 61. Zapojení U402D, U403D (che_3 jako dodatečný vstup adresy u U403D, popř. jako skutečný vstup u U403D)

daných logických úrovních. U U402D stačí pro tyto tři vstupy dva vývody, aby mohlo být aktivováno pět výstupů. Při jednom stavu jsou aktivovány výstupy a_1, a_3, a_5, a_7, a_9 , při druhém stavu výstupy $a_2, a_4, a_6, a_8, a_{10}$. Vstupy mohou být buzeny přímo z hradel TTL, pokud budící hradlo nenapájí žádný další obvod TTL a je-li na jeho výstupu úroveň $H = 2$ V. Z výstupu je možné budit jen hradlo TTL.

Integrovaný obvod U501D

Integrovaný obvod U501D je statická paměť ROM s kapacitou 2048 bitů, který je v pouzdře DIP-24. Paměť má organizaci 256×8 bitů, to znamená, že má osm vstupů, na něž je přivedeno 256 různých binárních vstupních údajů. Každý vstupní údaj je přitom uspořádán jako výstupní slovo s délkou 8 bitů. U501D má vstup che pro aktivaci paměti. Tímto vstupem jsou uzavírány oba výstupní tranzistory. Při $U_{che} = H$ je paměť ROM odpojena. Všechny vstupy IP jsou

proti statickému náboji chráněny diodami. Ke zmenšení ztrátového výkonu je možné napětí U_{B1} kličovat. Propojení vstupů je možné, musí se však brát zřetel na zpoždění, vstupní proud, zatěžovací a rušivou kapacitu. Rovněž i paralelní spojení výstupů je možné, když je zajištěno, že je aktivován vstupem che jen jeden obvod a je připojeno jen jedno hradlo TTL. Vstupy mohou být buzeny z hradel TTL, není-li budící hradlo zatíženo dalším hradlem TTL a je-li jeho výstupní úroveň $H = U_5 = U_3 = -2$ V. Tato úroveň může být zajištěna odporem, připojeným mezi výstup a napájecí obvod TTL. Z výstupu můžeme budit jedno hradlo TTL, jehož vstup musí být chráněn omezovací diodou, zapojenou mezi vstup a zem obvodu TTL. Tím vyloučíme, že se napětí na vstupu obvodu TTL nezmenší pod 0,7 V.

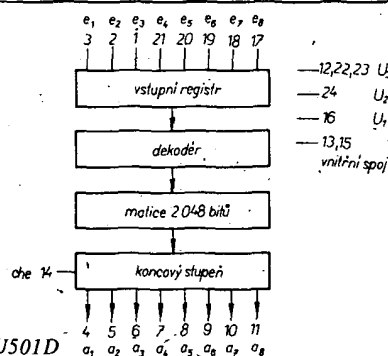
Zapojení U501D je na obr. 62 a jeho parametry v tab. 22. U501D je ekvivalentem paměti I1302 fy Intel.

Integrovaný obvod U505D

Integrovaný obvod U505D je statická paměť 8K bitů, zhotovená technologií křemí-

Tab. 22. Parametry U501D

Mezní údaje (vztaženo k U_3)	
Napájecí napětí	
U_1 :	-20 až +0,3 V,
U_2 :	-20 až +0,3 V,
Vstupní napětí:	-20 až +0,3 V,
Pracovní teplota:	0 až 70 °C.
Statické údaje (0 až 70 °C, $U_1 = -9 \pm 0,45$ V, $U_2 = -9 \pm 0,45$ V, $U_3 = 5 \pm 0,25$ V)	
Vstupní napětí	
H :	$U_3 - 2$ V až U_3 ,
L :	U_2 až 0,4 V,
Vstupní zbytkový proud při $U_1 = U_2 = U_3 = 0$ V,	
U_{vst} :	-10 V: max. -3 μ A,
Výstupní napětí	
L při $I_{\text{vst}} = 1,6$ mA: max. 0,4 V,	
H při $I_{\text{vst}} = -0,5$ mA: 2,4 V až U_3 .	
Odběr ze zdroje při $I_{\text{vst}} = 0$ mA,	
I_1 :	max. 1 μ A,
I_2 :	max. 30 mA.
Odběr ze zdroje při $U_1 = U_3 = 5$ V, $U_2 = -9$ V,	
$I_{\text{vst}} = 0$ mA, I_{20} :	max. 10 mA.
Proud diodou připojenou na výstup při $U_{\text{vst}} = -1$ V:	max. 10 mA.
Ztrátový výkon:	max. 800 mW.
Vstupní kapacita:	max. 10 pF.
Výstupní kapacita:	max. 10 pF.
Kapacita na U_1 :	max. 40 pF.
Dynamické údaje (0 až 70 °C, $C_L = 80$ pF, $U_{\text{vstL}} = 0,4$ V, $U_{\text{vstH}} = 3,5$ V)	
Šířka impulsu, t_{HL}, t_{LH}:	
t_{HL}, t_{LH} :	1 ns/V.
Doba vybavení vstupů e_1 až e_8 :	max. 1 μ s.
Zpoždění vstupu che :	max. 200 ns.
Doba odpojení výstupů:	max. 300 ns.
Doba připojení výstupů:	max. 500 ns.
Doba vybavení:	min. 1 μ s.
Doba zablokování:	max. 5 μ s.



Obr. 62. Zapojení U501D

kového hradla s kanálem n s kapacitou 8192 bitů. U505D je v pouzdře DIP-24. Je určen především pro stroje na zpracování dat. Pro výběr slova je k dispozici 10 vstupů A_0 až A_9 . Z paměti je možné vypsat 1024 slov po osmi bitech; paměť má organizaci 1024×8 . U505D se aktivuje signálem přivedeným na vstup CS (chip select). Při $CS = L$ je paměť aktivována a při CS je na výstupu velký odpor (tristavový výstup). Všechny vstupy paměti ROM U505D jsou chráněny diodami. Vstupy adres A_0 až A_9 mohou být napájeny signály, jsou-li dodržena požadovaná zpoždění, vstupní proud, účinné zatěžovací kapacity a parazitní kapacity. Tyto vstupy mohou být buzeny z hradel TTL, nebudí-li tato hradla další hradla TTL a je-li úroveň H hradla minimálně $U_{OH} = U_{CC} - 2$ V. Jinak je nutné tuto úroveň nastavit vnějšími odpory. Výstupy U505D mohou být zatíženy jedním hradlem TTL řady D100 (logický zisk = 1). Paralelní spojení výstupů U505D je možné, když splníme tyto podmínky: je aktivována jen jedna z U505D, je připojeno jen jedno hradlo TTL s logickým ziskem 1. Vzhledem k tomu, že se jedná o paměť, programovanou maskou, je nutné, aby finalista dal výrobci požadovaný program

Tab. 23. Parametry U505D

Mezní údaje

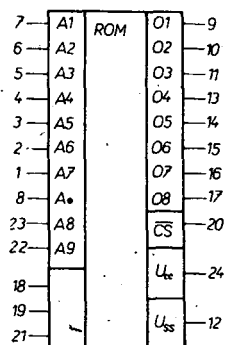
Napájecí napětí U_{CC} : -0,3 až 7 V.
Vstupní napětí U_I : -0,3 až 7 V.
Pracovní teplota T_p : 0 až 70 °C.

Statické údaje (25 °C)

Napájecí napětí U_{CC} : min. 4,75, typ. 5, max. 5,25 V.
Vstupní zbytkový proud ($U_I = 5,25$ V), I_I : 10 μ A.
Výstupní napětí ($I_{OL} = 1,8$ mA, $U_{CC} = 5,25$ V, $U_{IL} = 0,8$ V,
 $U_{IH} = 2,4$ V), U_{OL} : max. 0,4 V.
Výstupní napětí ($I_{OH} = -0,4$ mA, $U_{CC} = 4,75$ V,
 $U_{IH} = 2,4$ V, $U_{IL} = 0,8$ V), U_{OH} : min. 2,4 V.
Odběr ze zdroje ($U_{CC} = 5,25$ V, $U_{IH} = 2,4$ V), I_{CC} : max. 120 mA.
Vstupní kapacita C_I : max. 10 pF.
Výstupní kapacita C_O : max. 15 pF.

Dynamické údaje ($U_{IL} = 0,8$ V, $U_{IH} = 2,4$ V, t_{HL} , $t_{LH} = 1$ ns/V, $Z_s = 1$ hradlo
TTL + $C_z = 120$ pF)

Doba přístupu ($U_{CC} = 4,75$ V), t_{ACC} : max. 450 ns.
Doba selekce dat ($C_z = 120$ pF), t_{OD} : max. 100 ns.



— 18, 19, 21 možno spojit
s napětím -5 V $\leq U \leq 12$ V

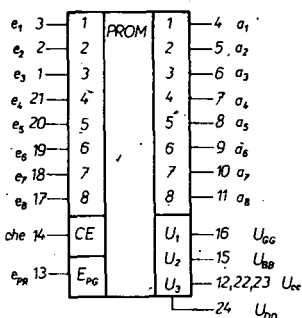
Obr. 63. Zapojení U505D

předem. Zapojení paměti U505D je na obr. 63 a parametry v tab. 23.

Integrovaný obvod U551D

Integrovaný obvod U551D je statická elektronicky programovatelná paměť PROM s kapacitou 2048 bitů. U551D má osm vstupů pro volbu slova, výstup 256 slov po osmi bitech, vstup che pro aktivaci paměti. Zapojení U551D je na obr. 64. Vstup che aktivuje paměť při úrovni L; při úrovni H na vstupu che mají výstupy IO velkou impedanci (tristavový výstup). Ke zmenšení ztrátového výkonu (800 mW max.) je napájecí napětí klíčováno. Vstupy U551D jsou kompatibilní s obvody TTL, je-li výstupní úroveň H z hradla TTL $U_s = 2$ V. Vstupy lze spolu propojit, avšak musí se vzít do úvahy zpoždění, vstupní proud, zatěžovací a rušivá kapacita.

Obvod je v pouzdře DIP-24, jeho parametry jsou v tab. 24. U551D je ekvivalentem I1602 fy Intel.



Obr. 64. Zapojení U551D, U552C

Tab. 24. Parametry U551D, U552C

Mezní údaje

a) Při programování (vztaženo k U_{CC})

Napájecí napětí
 U_{GG} : -40 až $U_{BB} + 0,3$ V,
 U_{DD} : -48 až $U_{BB} + 0,3$ V,
 U_{BB} : 0 až 12 V.
Vstupní napětí U_e , U_a , U_{PG} : -48 až $U_{BB} + 0,3$ V.
Provozní teplota: 25 °C ± 10 %.

b) Při čtení (vztaženo k $U_{CC} = U_{BB}$)

Napájecí napětí
 U_{GG} : -20 až 0,3 V,
 U_{DD} : -20 až 0,3 V.
Vstupní napětí U_e : -20 až 0,3 V.
Pracovní teplota: 0 až 70 °C.

Statické údaje

a) Při čtení (0 až 70 °C, $U_{CC} = U_{BB}$)

Napájecí napětí
- U_{GG} : min. 8,55, typ. 9, max. 9,45 V,
- U_{DD} : min. 8,55, typ. 9, max. 9,45 V,
 U_{CC} : min. 4,75, typ. 5, max. 5,25 V.
Vstupní napětí
- U_e : $U_{CC} - 2$ V až $U_{CC} + 0,3$ V,
- U_{eL} : U_{DD} až 0,65 V.
Vstupní zbytkový proud ($U_{GG} = U_{DD} = U_{CC} = 0$ V,
- $U_e = 10$ V), $-I_e$: 3 μ A.
Výstupní napětí ($I_{OL} = 1,6$ mA), U_{OL} : max. 0,4 V.
($-I_{AH} = 0,5$ mA), U_{aH} : min. 2,4 V.
Odběr ze zdroje ($U_{CC} = U_{DD} = -9$ V, $U_{CC} = 5$ V,
 $I_{OL} = 0$), I_{GG} : max. 1 μ A,
 I_{DD} : max. 40 mA,
($U_{GG} = U_{CC} = +5$ V, $U_{DD} = -9$ V,
 $I_{OL} = 0$), I_{DDO} : max. 10 mA.
Ztrátový výkon: max. 800 mW.

b) Při programování (25 °C, $U_{CC} = U_{che} = 0$ V)

Napájecí napětí
- U_{GG} : 35 až 40 V,
- U_{DD} : 46 až 48 V,
 U_{BB} : 10,8 až 13,2 V.
Vstupní napětí
 U_e : -2 až 0,3 V,
 U_{eL} : 40 až 48 V,
 U_{PGH} : -2 až 0,3 V,
 U_{PGL} : 46 až 48 V.
Odběr ze zdroje
 I_{DD} : typ. 200, max. 300 mA.
($-U_{GG} = 40$ V, $-U_{DD} = 48$ V, $U_{BB} = 12$ V),
 I_{BB} : typ. 10, max. 100 mA.
 I_{GG} : max. 10 mA.

Dynamické údaje při čtení

Doba přístupu e_1 až e_8 , t_{acc} : typ. 1 μ s.
Doba blokování informace na výstupu, t_{OHC} : typ. 5 μ s.

Dynamické údaje při programování (25 °C, $U_{CC} = U_{che} = 0$ V, $U_{BB} = 12$ V)

Střída U_{GG} , U_{DD} : max. 20 %
Délka programovacího impulsu ($-U_{GG} = 35$ V,
 $-U_{DD} = -U_{PG} = 48$ V, t_{PG} : 1 až 3 ms.
Doba předstihu dat, t_{pw} : min. 25 μ s.
Doba blokování dat, t_{OH} : min. 10 μ s.

přepínače pro televizní přijímač s U700D. Odběr ze zdroje je 1,5 mA. Senzorová tlačítka jsou se vstupy propojena přes ochranné odpory. Ladicí napětí musí být dobře stabilizováno a vyfiltrováno. U700D je v pouzdře DIP-22.

Integrovaný obvod U705D

Integrovaný obvod U705D je 4kanálový senzorový obvod MNOS, kompatibilní s obvody TTL. U705D je v pouzdře DIP-24. Obvodem je možné realizovat tzv. tlačítkové funkce závislé na sobě, nezávislé na sobě,

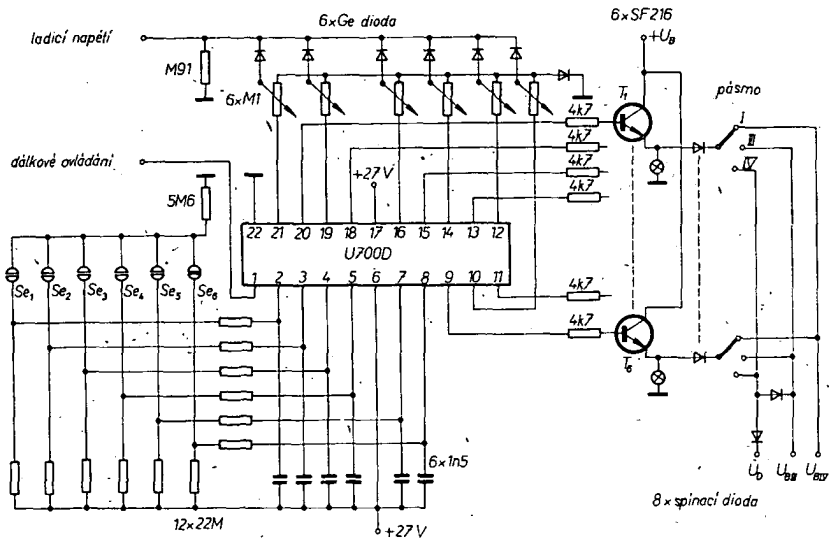
Obr. 65. Zapojení U700D

Integrovaný obvod U552C

Integrovaný obvod U552C je elektronicky programovatelná paměť EPROM, vymazatelná ultrafialovým světlem, s kapacitou 2048 bitů. U552C má osm vstupů pro volbu slova a výstup 256 slov po 8 bitech. Zapojení paměti je na obr. 64 a parametry v tab. 24. Vstup che aktivuje paměť při úrovni L. Při úrovni H na vstupu che má výstup IO velký odpor (tristavový výstup). Vstupy U552C jsou kompatibilní s obvody TTL. Vstupy lze spolu propojit, avšak je nutné vzít do úvahy zpoždění, vstupní proud a parazitní kapacity. U552C je v pouzdře DIL-24 z keramiky s okénkem na horní ploše. U552C je ekvivalentem I1702A fy Intel.

Integrovaný obvod U700D

Integrovaný obvod U700D je elektronický přepínač programů ovládaný šesti senzory (bezkontaktní tlačítko). Vnitřní zapojení je na obr. 65 a parametry v tab. 25. U700D je sestaven ze vstupní matice, kruhového čítače, výstupní matice a koncových tranzistorů. Ve vstupní matici, podle úrovně na vstupech e_1 až e_8 , vzniká impuls pro čítání vpřed a čítání vzad, které řídí kruhový čítač. Vstup e_8 , dálkového ovládání řídí přímo kruhový čítač. Pomocí sestupné hrany impulsu dochází k posuvu z místa n na místo $n+1$. Přes výstupní matici je řízeno 12 výstupních tranzistorů. Obvodem U700D lze ovládat šest kanálů. Každý kanál má dva výstupní tranzistory s otevřeným kolektorem. Všechny vstupy jsou proti statickému náboji chráněny diodami. Po připojení napájecího napětí sepne vždy kanál 1. Při stlačení tlačítka se příslušný vstup propojí s výstupy, z nichž jeden je použit pro ladicí napětí a druhý pro přepínač pásem. Současně se odpojí před tím připojený výstup. Všechny výstupy jsou elektronicky rovnocenné. Na obr. 66 je praktické zapojení šestikanálového elektronického

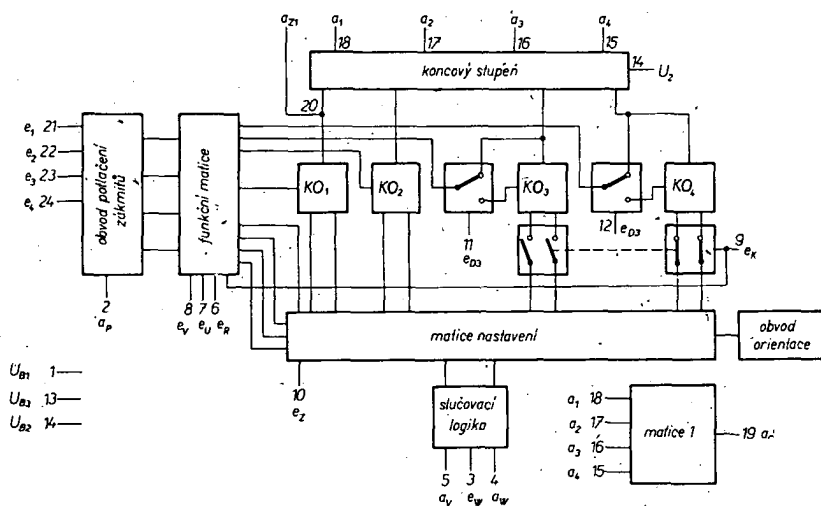


Obr. 66. Šestikanálový přepínač s U700D

Tab. 25. Parametry U700D

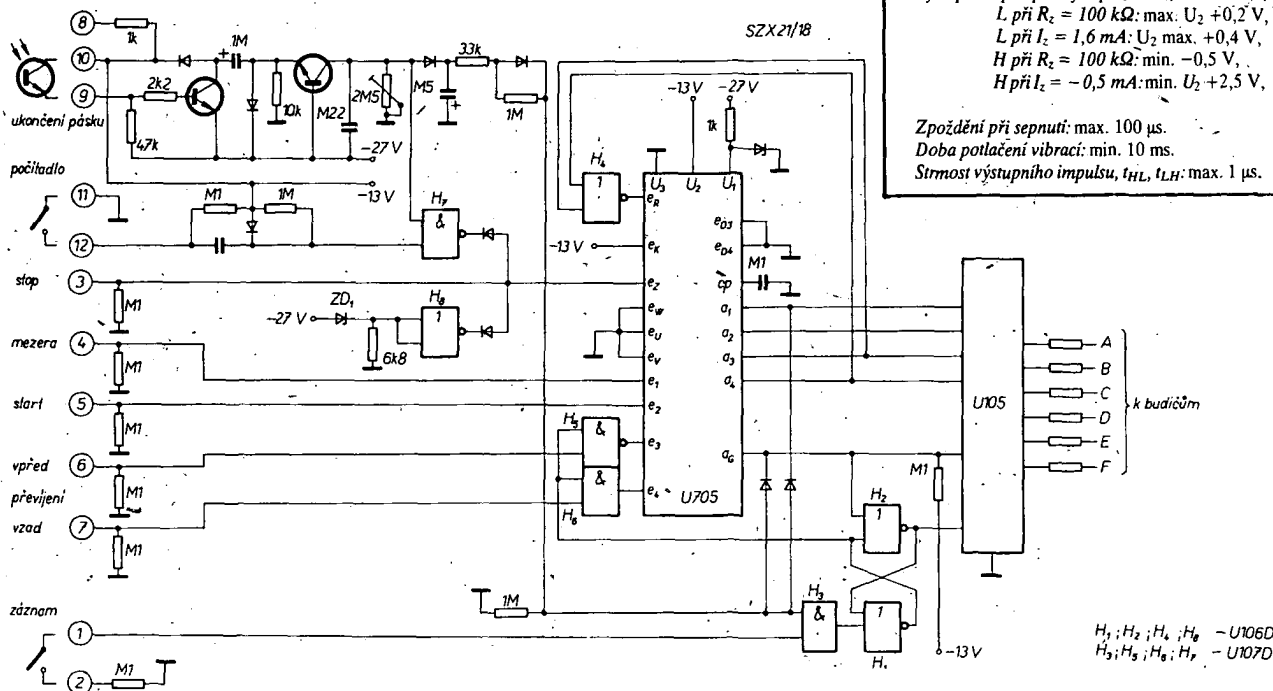
Mezní údaje (0 až 70 °C)
 Napájecí napětí U_1 : -31 až +0,3 V.
 Vstupní napětí U_2 : -25 až +0,3 V.
 Vstupní zbytkový proud při $-U_2 = 10$ V:
 0,5 μ A.
 Výstupní proud: 2 mA.
 Pracovní teplota: 0 až 70 °C.
**Statické údaje ($U_1 = -26$ až -29 V,
 $U_2 = 0$ V, teplota okolí 25 °C)**
 Vstupní napětí
 H: max. -2 V,
 L: min. -9 V.
 Výstupní napětí H
 při $R_2 = 100$ k Ω : max. -1 V,
 při $I_2 = 1$ mA: max. -2 V.
 Odběr ze zdroje samotného IO: max. 1 mA.
 Teplotní součinitel ladícího napětí: 1 mV/°C (při
 10 až 50 °C).

Dynamické údaje při 25 °C
 Strmost impulsu dálkového ovládání: max.
 10 μ s.
 Délka impulsu dálkového ovládání: min. 60 μ s,
 max. 200 μ s.



Obr. 67. Zapojení U705D

Obr. 68. Použití U705D v magnetofonu



Tab. 26. Parametry U705D

**Mezní údaje (0 až 70 °C, vztaženo
 k U_3)**
 Napájecí napětí
 U_1 : -20 až 0,3 V,
 U_2 : -15 až 0,3 V.
 Vstupní napětí: -20 až 0,3 V.
 Pracovní teplota: 0 až 70 °C.

Jmenovité údaje
 Napájecí napětí při připojení obvodů TTL:
 $U_1 = -12 \pm 1$ V,
 $U_2 = 0$ V, $U_3 = 5 \pm 0,25$ V.
 MOS: $U_1 = -17,25$ až $-18,5$ V,
 $U_2 = 11,5$ až $13,5$ V,
 $U_3 = 0$ V.

Vstupní napětí pro vstupy e_{D3} , e_K , e_{D4} , e_z , e_U , e_v ,
 e_R
 (slučitelné s TTL),
 H: min. 0 V, max. -2 V,
 L: min. -4,35 V, max. -18,25 V.
 Vstupní napětí pro vstupy e_w , e_1 , e_2 , e_3 , e_4
 (slučitelné s MOS),
 H: min. 0 V, max. -2 V,
 L: min. -9 V.
 Výstupní napětí pro výstupy a_1 až a_4 ,
 L při $R_2 = 100$ k Ω : max. $U_2 + 0,2$ V,
 L při $I_2 = 1,6$ mA: U_2 max. +0,4 V,
 H při $R_2 = 100$ k Ω : min. -0,5 V,
 H při $I_2 = -0,5$ mA: min. $U_2 + 2,5$ V.

Zpoždění při sepnutí: max. 100 μ s.
 Doba potlačení vibrací: min. 10 μ s.
 Strmost výstupního impulsu, t_{HL} , t_{LH} : max. 1 μ s.

H_1, H_2, H_4, H_6 - U106D
 H_3, H_5, H_7, H_8 - U107D

nezávisle, „aretované“ a jejich kombinace. Můžeme spolu propojit až dvacet těchto obvodů, takže lze vytvořit až 80 tlačítek. Vstupní informace jsou zadávány buď senzory nebo tlačítky s malým zdvihem. Zapojení obvodu je na obr. 67 a parametry v tab. 26.

Obvod je tvořen čtyřmi pamětovými klopnými obvody, které jsou řízeny přes čtyři vstupy a obvody pro potlačení zákrmitů tlačítek. Připojením napětí na vstupy e_U , e_V , e_K , e_{D3} , e_{D4} volíme způsob provozu spínaných funkcí. Zpětnovazební výstupy a_G a a_{Z1} dovo-
lují v závislosti na zpětnovazebních vstupech e_R a e_Z různě „odblokovat“ nebo „zablokovat“ sepnuté stavy.

V závislosti na způsobu provozu jsou výstupní informace zapamatovány v řídicí matici, která při stlačení několika tlačítek zapojí pouze jeden výstup. Rovněž zabránuje přeslechům mezi kanály. Slučovací logika, která při závislém provozu řídí tuto matici, zaručuje přes vývody a_W , a_V a e_W propojení několika obvodů U705D. Obvod orientace nastaví všechny výstupy s pomocí matice 1 po připojení napájecího napětí do stavu vypnuto (úroveň H).

Napájecí napětí

U705D potřebuje tři napájecí napětí, jejichž velikost je určena podle toho, na jaké další obvody jsou připojeny výstupy a_1 až a_4 . Pro obvody TTL je $-U_{B1} = 12 \text{ V} \pm 1 \text{ V}$, $U_{B2} = 0 \text{ V}$, $U_{B3} = 5 \text{ V} \pm 0,25 \text{ V}$; pro obvody MOS je $-U_{B1} = 17,75 \text{ V} \pm 0,5 \text{ V}$, $-0,75 \text{ V}$, $-U_{B2} = 13 \text{ V} \pm 0,5 \text{ V}$, $-1,5 \text{ V}$, $U_{B3} = 0 \text{ V}$.

Výstupy a_1 až a_4

Na výstupech a_1 až a_4 je podle použitého napájecího napětí buď úroveň odpovídající TTL nebo MOS. Výstup je tvořen tranzistorem v protitaktním zapojení. Zatěžovací činitel splňuje podmínky kladené na obvody TTL. Ve vypnutém stavu (a rovněž po připojení napájecího napětí) jsou všechny výstupy na úrovni H. Aktivovaný výstup přepne na úroveň L. Úrovně na výstupech a_1 až a_4 při provozu TTL a zatěžovacím proudem 1,6 mA jsou:

$U_{a1} = 0,4 \text{ V}$, $U_{aH} = 2,4 \text{ V}$. Při zatížení $R_L = 2,7 \text{ k}\Omega$ a $C_L = 100 \text{ pF}$ je střímost hrany impulsu na výstupu lepší než 1 μs . Při připojení obvodů MOS a $R_L = 100 \text{ k}\Omega$ budou na výstupech úrovně: $U_{a1} = -9 \text{ V}$, $U_{aH} = -4,5 \text{ V}$.

Vstupy e_1 až e_4 pro senzory

Vstupy e_1 až e_4 jsou přes tlačítka – senzory připojeny na napětí U_{B1} , při čemž paralelně mezi vstup a napětí U_{B3} je připojen odpor 3,3 M Ω . Při použití senzoru je tento obvod galvanicky oddělen od sítě.

Kompatibilita vstupů s obvody TTL

Všechny vstupy, tzn. e_{D3} , e_{D4} , e_K , e_R , e_U , e_V , e_Z a e_1 až e_4 jsou kompatibilní s obvody TTL. Vstupní úrovně jsou: $U_{eH} = U_{B3} - 2 \text{ V}$, $U_{eL} = U_{B3} - 4,35 \text{ V}$. Pro úplnou kompatibilitu se doporučuje na výstup řídicího obvodu TTL připojit odpor 3,6 k Ω oproti U_{B3} .

Výstup pro potlačení mechanických zákrmitů

Na tento výstup se připojuje kondenzátor, kterým nastavujeme kmitočet vnitřního oscilátoru, který řídí předávání informace ze vstupu do vstupního klopného obvodu. Při kondenzátoru 1 μF , připojeném mezi a_P a U_{B3} , bude doba „potlačení zákrmitu“ na senzorovém vstupu 60 ms. Po aktivaci senzorového vstupu během této doby nemají přechodové jevy L-H a H-L, přivedené na vstup, žádný vliv na změnu stavu IO. Doba 60 ms je dosažena se stabilitou $\pm 60 \%$. Na výstup a_P je nutné v každém případě připojit kondenzátor minimálně 10 nF. Při spojování IO U705D je nutné ke každému obvodu připojit kondenzátor 10 nF.

Slučovací výstup a_V

Na výstup a_V je vyvedena kombinovaná funkce vstup-výstup, která slouží k realizování závislého provozu při použití několika obvodů U705D. V klidovém stavu jsou všechny výstupy a_V paralelně na úrovni L. Při sepnutí jednoho ze vstupů při závislém provozu je signál přiveden do přepínací matice a je zde zapamatován. Při tom se odpojí příslušný výstup daného U705D a na jeho výstupu a_V se objeví úroveň H. Ostatní výstupy a_V jsou nadále na úrovni L, takže jsou „přes tento signál“ zkratovány.

Uvedený signál H způsobí, že při případném sepnutí jednoho z kaskádě zapojeného U705D se druhý obvod odpojí (vlivem výstupu a_V). Výstupní tranzistor na a_V v sepnutém IO (při paralelním spojení s ostatními a_V druhých IO) může být zatěžován jen omezeně (zkrat úrovně L na velké impedanci). Proto je možné propojit jen 20 těchto IO. V sepnutém IO je po uplynutí doby dané vnitřním zpožděním (několik μs) vstupní signál z matice nastavení propojen na výstup. Současně se výstup a_V překlopí na úroveň L. Tím je dosaženo toho, že při závislém tlačítku nejsou sepnuty současně dva výstupy, nýbrž jen jeden. Během zpoždění je na a_V příslušného IO úroveň H. Tím je zajištěno definované sepnutí závislých výstupů. Při současném přiložení prstu na dva senzory je na obou a_V úroveň H, což vede k odpojení obou obvodů. Sepnutý zůstane ten obvod, který má déle sepnutý vstup.

Slučovací vstup e_W a výstup a_W

Tyto vývody zabráňují současnému sepnutí dvou výstupů při současném přiložení prstu na několik senzorů při kaskádě řazených U705D. Při tom je výstup a_W mého IO připojen na vstup e_W ($n+1$) IO. Na vstupu e_W prvního IO je stále úroveň H. V klidovém stavu je na všech výstupech a_W úroveň H. Při aktivaci jednoho ze závislých vstupů se na odpovídajícím výstupu a_W objeví úroveň L, která se přenesla na následující vstup e_W a tím se změní i úroveň následujícího výstupu a_W na L: všechny vstupy e_W se dostanou na úroveň L. V každém IO, jehož e_W je na L, se oddělí vstupy e_1 až e_4 od matice nastavení. Tím je vyloučeno sepnutí dvou výstupů současně.

Vstup e_U

Vstup e_U slouží k nastavení druhu zapojení. Při úrovni L na e_U funguje IO jako při nezávislých tlačítkách, při úrovni H na e_U jako závislých nebo smíšených.

Vstup e_K

Během závislého provozu ($e_U = H$) si matice nastavení pamatuje vstupní informaci, což slouží k tomu, aby při dvojdoteku byl jeden z připojených výstupů odpojen, a aby jen první informace byla přenesena do odpovídajícího pamětového klopného obvodu. Připojením vstupu e_K na úroveň H se odpojí pamětové klopné obvody 3 a 4 od matice nastavení. Vstupy e_3 a e_4 fungují pak jako nezávislé. Tímto způsobem je možné realizovat „smíšený“ provoz. Bude-li např. e_U a $e_K = H$, pak e_1 a e_2 fungují jako závislá tlačítka a e_3 a e_4 jako nezávislá tlačítka. Bude-li $e_K = L$, lze vstupy e_3 a e_4 (e_1 a e_2) převést na zvolený typ provozu. Pouze při nezávislém provozu je možnost změnit druh provozu přes vstupy e_{D3} a e_{D4} .

Vstupy e_{D3} a e_{D4}

Vstupy e_{D3} a e_{D4} jsou ve stavu, během něhož je nezávislý provoz ($e_U = L$) pamětových klopných obvodů nemožný. Tím je umožněno po připojení úrovně L na e_{D3} a e_{D4} dosáhnout na výstupní stavu, který odpovídá neblokovanému nezávislému tlačítku. Když je na e_{D3} a e_{D4} úroveň H, jsou všechny výstupy

ve stavu, odpovídajícímu blokovánému nezávislému tlačítku, za předpokladu, že $e_U = L$.

Vstup blokování e_Z

Při impulsu o úrovni L na vstupu e_Z budou všechna blokování nastavena do výchozího stavu. Všechny výstupy, ať už závislé nebo nezávislé, budou odpojeny. Vstup e_Z ovlivňuje je přes matici nastavení pamětové klopné obvody a ruší u nich přednost řazení. Pouze, je-li $e_K = H$, jsou pamětové klopné obvody 3 a 4 odděleny a v případě, že jsou sepnuty, nemá na ně vstup e_Z vliv. Při paralelním provozu e_Z a e_1 až e_4 má vstup e_Z přednostní nastavení.

Zpětnovazební vstup e_R

Úroveň H na zpětnovazebním vstupu e_R blokuje všechny závislé sloučené vstupy proti dalšímu vstupnímu impulsu. Tak je možné při spojení zpětnovazebního výstupu a_G (případně a_{Z1}) a e_Z nebo i vnějším blokovacím obvodem připojit na vstup e_R úroveň H. Odblokování je možné realizovat zrušením H na e_R nebo změnou úrovně na e_Z .

Zpětnovazební výstup a_G

Na výstupu a_G je logický negovaný součet vstupů a_1 až a_4 . Když je jeden z těchto výstupů na úrovni L (sepnut), je na a_G úroveň H. Touto úrovní můžeme např. ovládat vstup e_R , takže po jednom stlačení tlačítka všechny další závislé sloučené vstupy jsou blokovány. Teprve odblokováním přes e_Z je možné tyto vstupy ovládat, ony se však po dotyku opět zablokují.

Zpětnovazební výstup a_{Z1}

Tento výstup řídí negaci výstupu a_1 . Dokud je vstup e_1 sepnut, je na a_{Z1} úroveň H, která může být použita k blokování závislých vstupů, když a_{Z1} spojíme s e_R . Odblokování je možné provést přes e_Z nebo novým „stlačením tlačítka“ na vstupu e_1 . Při tom musí být vstup e_1 ze závislého spojení pomocí e_V vyjmut.

Vstup e_V

Vstup e_V dovozuje vyjmutí vstupu e_1 ze „závislého aretovaného“ spojení. Po připojení úrovně H na e_V je vstup e_1 oddělen od matice nastavení. Tím je e_1 ze závislého provozu ($e_U = H$, $e_K = L$) převeden na funkci „nezávislé aretované tlačítko“. To je např. potřebné při blokování s a_{Z1} na e_R . Je-li zapojeno několik U705D do kaskády, pak je jen e_V prvního z nich připojen na L, na ostatních e_V je úroveň H.

Druhy provozu

Nezávislý provoz: $e_U = L$, $e_K = L$, aretace – $e_{D3} = e_{D4} = H$, bez aretace – $e_{D3} = e_{D4} = L$.

Závislý provoz: $e_U = H$, $e_K = L$, různé možnosti blokování a odblokování pomocí a_G , a_{Z1} , e_R , e_Z , e_V .

Smíšený provoz: $e_U = H$, $e_K = H$, $a_3 + a_4$ – nezávislé, $a_1 + a_2$ – závislé, různé možnosti blokování a odblokování pomocí a_G , a_{Z1} , e_R , e_Z , e_V .

Při kaskádním řazení několika U705D v závislém a smíšeném provozu:

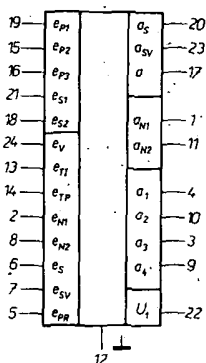
a_V – všechny spolu propojeny,
 a_W , e_W – vstup prvního IO na H, všechny následující e_W spojeny s předchozími a_W .

Příklad použití U705D je na obr. 68. Téměř všechny funkce, které se u obvyklého magnetofonu řeší obvyklými mechanickými prostředky, jsou v tomto zapojení realizovány logickými funkcemi U705D. Magnetofon

je ovládán elektrickými kontakty (tlačítka s malým zdvihem). U705D pracuje v závislém provozu ($e_U = H$, $e_V = H$, $e_K = L$). Vnější blokování přes hradlo H_4 ovlivňuje e_R , takže funkce rychle převíjení vpřed a vzad je možné realizovat až po stlačení tlačítka Stop odblokováním vstupu e_Z . Další dvě změny všech funkcí (Stop) jsou možné pomocí e_Z přes nulovací kontakt (11–12) počítačů a přes fototranzistor (10–9) při skončení nebo přetržení pásku. Při odpojení napájecího napětí je na e_Z přiveden signál L ze Zenerovy diody Z_1 , takže před celkovým přerušením napětí se nejprve uvede do vypnutého stavu U705D. Pro přepnutí z „reprodukce“ na „záznam“ je použit klonový obvod, sestavený z hradel H_1 a H_2 . V klidovém stavu U705D (na všech výstupech H) bude na a_G úroveň L, a proto je na výstupu H_2 úroveň H. Stiskneme-li tlačítko Reprodukce, překlenou se vývody 1 a 2 a na výstupu H_3 bude L. Klonový obvod se překlopí a na výstupu H_2 se objeví úroveň L. Současně je přes e_1 U705D nastaven stav „Mezera“. Na výstupu e_1 bude L na a_G bude H. Po spojení vstupu e_2 (Start) se sepnou a_2 a je možný zánam. Z klonového obvodu při zapojeném zánamu je pomocí hradel H_5 , H_6 znemožněno ovládání vstupů e_3 (převíjení vpřed), e_4 (převíjení vzad). Tím je vyloučeno chybné ovládání při zánamu. Tlačítkem Stop, které odpojuje všechny výstupy přes e_Z , je zajištěna na výstupu a_G úroveň L a klonový obvod realizuje funkci Reprodukce. Po přerušení blokování e_3 a e_4 lze stisknout tlačítko Převíjení vzad (nebo vpřed). Výstupy U705D jsou odděleny od budičů ovládacích magnetů. Jednotlivé funkce jsou indikovány diodami LED. Dále je možné přes vývod 8 připojit kontakt „ukončení páska“. Zapojení na obr. 68 je vhodné do dražších magnetofonů, neboť umožňuje dálkové ovládání.

Integrovaný obvod U706D

Integrovaný obvod U706D je určen pro řízení tyristorů a triaků. Je v pouzdře DIP-24, zhotovený technologií MOS (kanál p) a každý vstup asynchronně pracujícího digitálního obvodu je chráněn diodami. Jeho



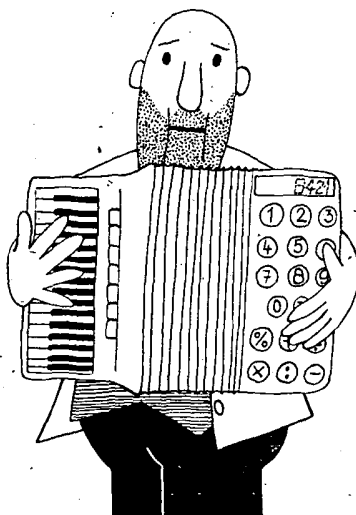
Obr. 69. Zapojení U706D (1, 11 – opakovací impuls, výstup, 2, 8 – opakovací impuls, vstup, 3, 4, 9, 10 – „zapalovací“ impuls, výstup, 5 – vstup programu, 6 – vstup nezpovědného blokování, 7 – vstup zpožděného blokování, 12 – substrát (zem), 13 – časovací obvod (doba impulsu), 14 – časovací obvod (doba mezery), 15, 16, 19 – vstup fázovacího signálu, 17 – výstup kontroly fáze, 18, 21 – vstup synchronizačního signálu, 20, 23 – výstup synchronizačního signálu, 22 – napájecí napětí, 24 – vstup zpožděného signálu

Tab. 27. Parametry U706D

Mezní údaje	
Napájecí napětí U_1 :	-31 až 0,3 V.
Vstupní napětí U_i :	-25 až +0,3 V.
Vstupní mezivrcholové napětí U_{imv} :	-31 V.
Provozní teplota:	0 až 70 °C.
Ztrátový výkon P_c :	0,8 W.
Statické údaje (25 °C)	
Napájecí napětí $-U_1$:	25 až 28, typ. 27 V.
Odběr ze zdroje $-I_1$:	15, typ. 6 mA.
Vstupní napětí	
$-U_{IH}$:	0 až 2 V.
$-U_{IL}$:	9 V.
Výstupní napětí výstupů a_{SV} a a_{UP} ($-U_{IH} = 2$ V),	
$-U_{IL} = 9$ V, $I_o = 2$ mA), $-U_{OH}$:	0,4 V.
Výstupní napětí a_{N1} , a_{N2} ($-U_{IH} = 2$ V, $U_{IL} = -9$ V,	
$R_z = 100$ kΩ),	
$-U_{OL}$:	10 V,
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$I_o = 1$ mA), $-U_{OL}$:	5 V,
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$R_z = 100$ kΩ), $-U_{OH}$:	0,5 V,
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$I_o = 5$ mA), $-U_{OH}$:	1 V.
Výstupní napětí na a_1 , a_2 , a_3 , a_4 ($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$I_o = 1$ μA), $-U_{OL}$:	12 V
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$I_o = 10$ μA), $-U_{OL}$:	10 V
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$R_z = 100$ kΩ), $-U_{OH}$:	0,5 V,
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$I_o = 5$ mA), $-U_{OH}$:	1 V.
Jednotranzistorový výstup nebo a_5 ($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$I_o = 10$ μA), $-U_{OL}$:	10 V,
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$R_z = 100$ kΩ), $-U_{OH}$:	0,5 V,
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$I_o = 1,2$ mA), $-U_{OH}$:	2 V.
Jednotranzistorový výstup nebo e_{T1} , e_{TP} při $-U_{IH} = 2$ V, $-U_{IL} = 9$ V, $-I_o = 1$ mA,	
výstup na úrovni H, U_{OH} :	2 V.
Výstupní zbytkový proud na a_{SV} , a_{UP} ($-U_{IL} = 28$ V,	
výstup na L), $-I_{OL}$:	10 μA.
Výstupní proud a_1 , a_2 , a_3 , a_4 ($-U_{IH} = 2$ V, $-U_{IL} = 9$ V,	
$-U_{OL} = 28$ V, výstup na L), $-I_{OL}$:	10 μA.
Zkratový proud mezi a_1 , a_2 , a_3 , a_4 , a_5 a zemí	
($-U_{IH} = 2$ V, $-U_{IL} = 9$ V, $-U_{OH} = 0$ V,	
výstup na L), $-I_{OL}$:	0,1 až 1 mA.
Vstupní proud e_{T1} , e_{TP} ($-U_{IL} = 25$ V, $U_1 = -28$ V,	
výstup na L), $-I_{IL}$:	10 μA.
Vstupní proud e_{P1} , e_{P2} , e_{P3} , e_{S1} , e_{S2} , e_{N1} , e_{N2} , e_S , e_{SV} , e_{PP}	
($-U_{IL} = 25$ V), $-I_{IL}$:	10 μA.
Vstupní proud na $-I_{TL}$ ev ($-U_{IL} = 15$ V, $-U_1 = 28$ V):	50 μA,
($-U_{IL} = 15$ V, $-U_1 = 25$ V):	2 μA.
Vstupní kapacita C_i :	10 pF.
Výstupní kapacita (na a_1 až a_4 může být větší), C_o :	40 pF.
Zatěžovací kapacita C_z :	10 nF.
Pro výstup a_{SV} je přípustná zatěžovací kapacita	60 nF ± 10 %.

Dynamické údaje

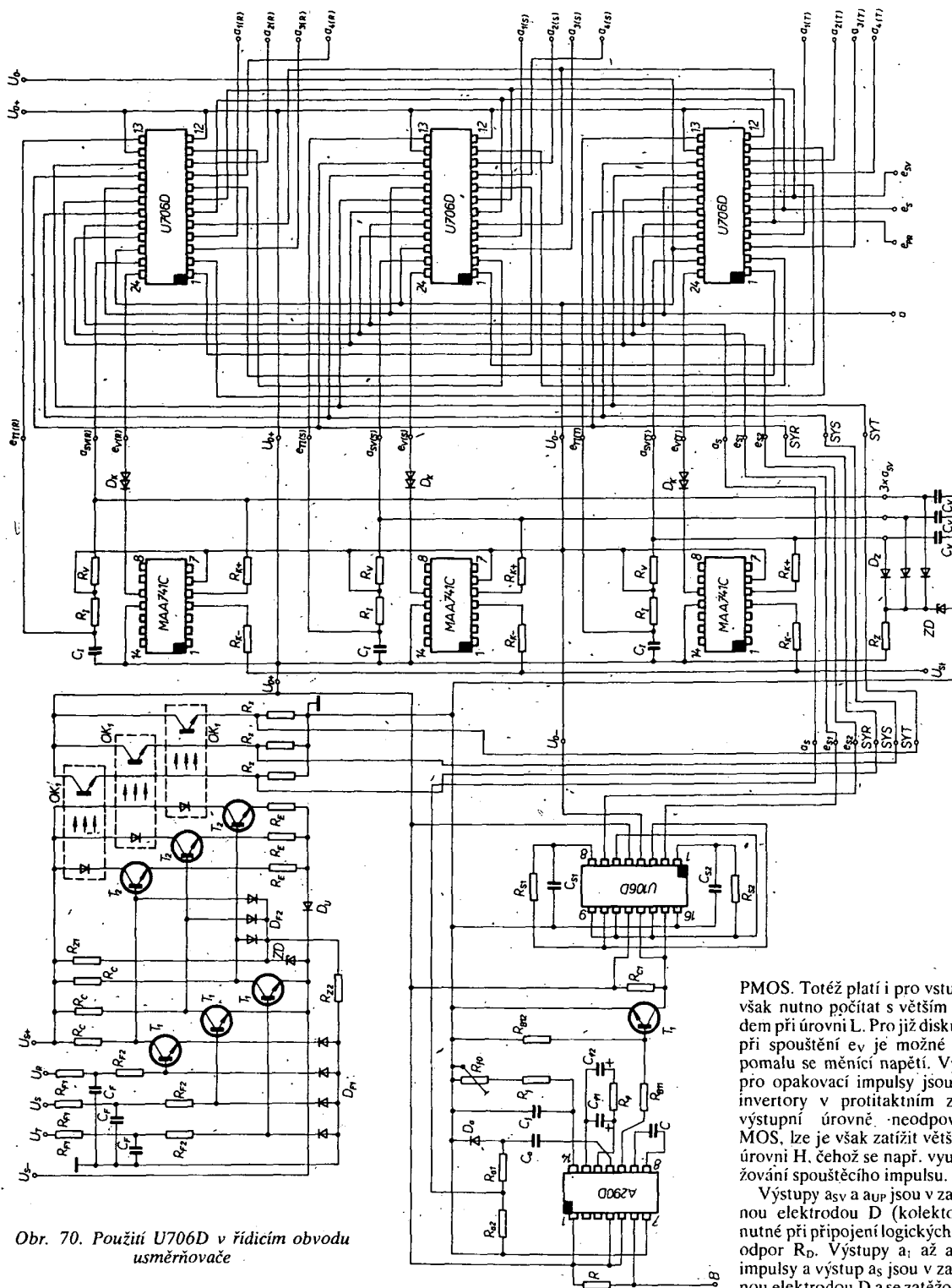
Zpoždění t_d je menší než 50 μs. Zpoždění mezi hranou H-L na e_V a hranou L-H na a_5 je $t_d < 30$ μs.



zapojení je na obr. 69. U706D zahrnuje tyto funkce: logiku synchronizace, vstupní obvod se spouštěním řídicího signálu pro nastavení doby spuštění, obvod tvarování spouštěcího impulsu, obvod řízení spouštěcího impulsu s přepínačem kanálů, impulsní hradlo se speciálním řízením hradlovacího signálu, obvod řízení pro přiřazení spouštěcího impulsu k výstupům, výstupní budič pro ovládání výkonových zařízení při posuvu fáze, při impulsním provozu, spínaném provozu nebo řízené oscilaci při průchodu napětí nebo proudu nulou. Obvodem U706D jsou minimalizovány požadavky na vnější součástky a plochu při zachování velké šumové imunity. Množství přívodů k vnitřním obvodům rozšiřuje možnosti využití tohoto IO.

Přednosti U706D:

je použitelný k sestavení velmi jakostních řídicích obvodů jedno a vícefázových usměrňovačů s libovolným počtem impulsů; možnost synchronizace volitelně podle obvyklých principů, např. s jedнокanálovým



Obr. 70. Použití U706D v řídicím obvodu usměrňovače

filtrem při vícefázovém uspořádání;
možnost připojit vnitřní logiku pro synchronizaci na vnější obvod při programování;
logika pro kontrolu fáze; nastavitelnost bodu spuštění od 0° do 180°;
volně volitelné druhy a parametry výstupního impulsu;
volitelné zpožděné nebo nezpožděné hradlování výstupního impulsu;
vnitřní logikou zajištěný správný sled impulsů při přerušení hradlování podle funkčnosti usměrňovače;
speciální řídicí obvod hradlování umožňuje realizovat extrémně rychlé obvody;
obvod pro tvarování dlouhých impulsů ze vstupů na výstupy;
programovatelné výstupní impulsy pro vícenásobné řízení;

oddělené výstupy impulsů kladné a záporné půlky synchronizačního napětí;
přizpůsobitelnost k analogovým (případně digitálním) regulačním obvodům a rovněž k jednoduchým dvoubodovým regulátorům.

Podmínky pro spojování obvodů

U706D je zhotoven technologií MOS, proto je nutné dodržet všechny bezpečnostní podmínky platné pro obvody MOS. Propojení vstupů a výstupů (při dodržení přípustných parametrů) s ostatními druhy obvodů je možné. Bez jakýchkoli problémů je možné spojení s obvody MOS, CMOS a DTL (např. s obvody MZH...). Jednoduše lze připojit i vnější usměrňovače. Vstupy e_{P1} , e_{P2} , e_{P3} , e_{S1} , e_{S2} , e_{N1} , e_{N2} , e_S , e_{SW} , e_{PR} jsou typické vstupy PMOS a je je možno budit z jiných obvodů

PMOS. Totéž platí i pro vstup e_v , u něhož je však nutno počítat s větším vstupním proudem při úrovni L. Pro již diskutované poměry při spouštění e_v je možné použít k řízení pomalu se měnící napětí. Výstupy a_{N1} a a_{N2} pro opakovací impulsy jsou zapojeny jako invertory v protitaktním zapojení; jejich výstupní úrovně neodpovídají technice MOS, lze je však zatížit větším proudem při úrovni H, čehož se např. využívá při prodlužování spouštěcího impulsu.

Výstupy a_{SV} a a_{UP} jsou v zapojení s otevřenou elektrodou D (kolektorem), proto je nutné při připojení logických obvodů připojit odpor R_D . Výstupy a_1 až a_4 pro spouštěcí impulsy a výstup a_5 jsou v zapojení s otevřenou elektrodou D a se zatěžovacím tranzistorem. Proto je možné bez připojení odporu R_D na tyto výstupy připojit jen jeden vstup MOS. Výstupy mohou být zapojovány paralelně nebo připojeny na konstantní úroveň H. Vstupy e_{T1} a e_{TP} jsou rovněž v zapojení s otevřenou elektrodou D; slouží převážně k nastavení trvání impulsu nebo mezery pomocí obvodů RC.

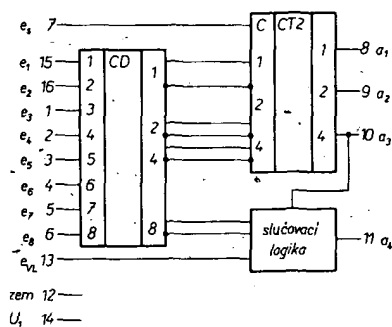
Příklad použití U706D v řídicím obvodu „šestiimpulsního“ usměrňovače, kompenzovaného sítě, je na obr. 70. Síťová napětí U_R , U_S , U_T jsou přiváděna přes předřadný filtr do obvodu pro oddělení sítě (T_1 , T_2 , OK_1), v němž se sinuové vstupní napětí mění na

ekvivalentní pravoúhlé impulsy, které jsou po optoelektronickém zpracování používány k synchronizaci U706D. Vzniklé signály SYR, SYS, SYT jsou vedeny jako fázovací signály na vstupy e_{p1} , e_{p2} , e_{p3} – tak je připojena síť k U706D. V U706D je sled impulsů sloučen, takže signál na výstupu a_s bude mít trojnásobný síťový kmitočet. Impulsy z výstupu a_s slouží k řízení jednorázového filtru, využívajícího dekodéru PLL A290D.

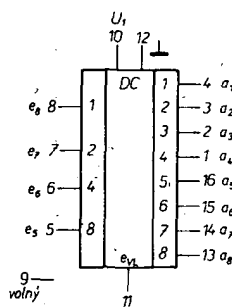
Sled výstupních impulsů filtru PLL řídí obvod pro přizpůsobení s U106D, z něhož jsou vedeny synchronizační impulsy na e_{s1} , e_{s2} U706D, kde jsou dále zpracovány. Signál je zpožděn porovnáním řídicího napětí U_{st} s napětím pilovitého průběhu s operačním zesilovačem MAA741C, který přes oddělovací diodu D_k řídí vstup spouštění impulsů. V U706D jsou vytvářeny jednotlivé impulsy, které slouží jako spouštěcí impulsy. Výstupy UB a a_{UP} umožňují řízení v kontrolním obvodu. Parametry U706D jsou uvedeny v tab. 27.

Integrovaný obvod U710D

Integrovaný obvod U710D je osminásobný elektronický přepínač kanálů, ovládaný senzory, v pouzdře DIP-16, jeho zapojení je na obr. 71 a parametry jsou v tab. 28. Výstupní signál je v binárním kódu. V IO jsou tři paměťové klopné obvody, které lze do požadovaného stavu uvést přes vstupní matici napětím přivedeným na vstupy e_1 až



Obr. 71. Zapojení U710D

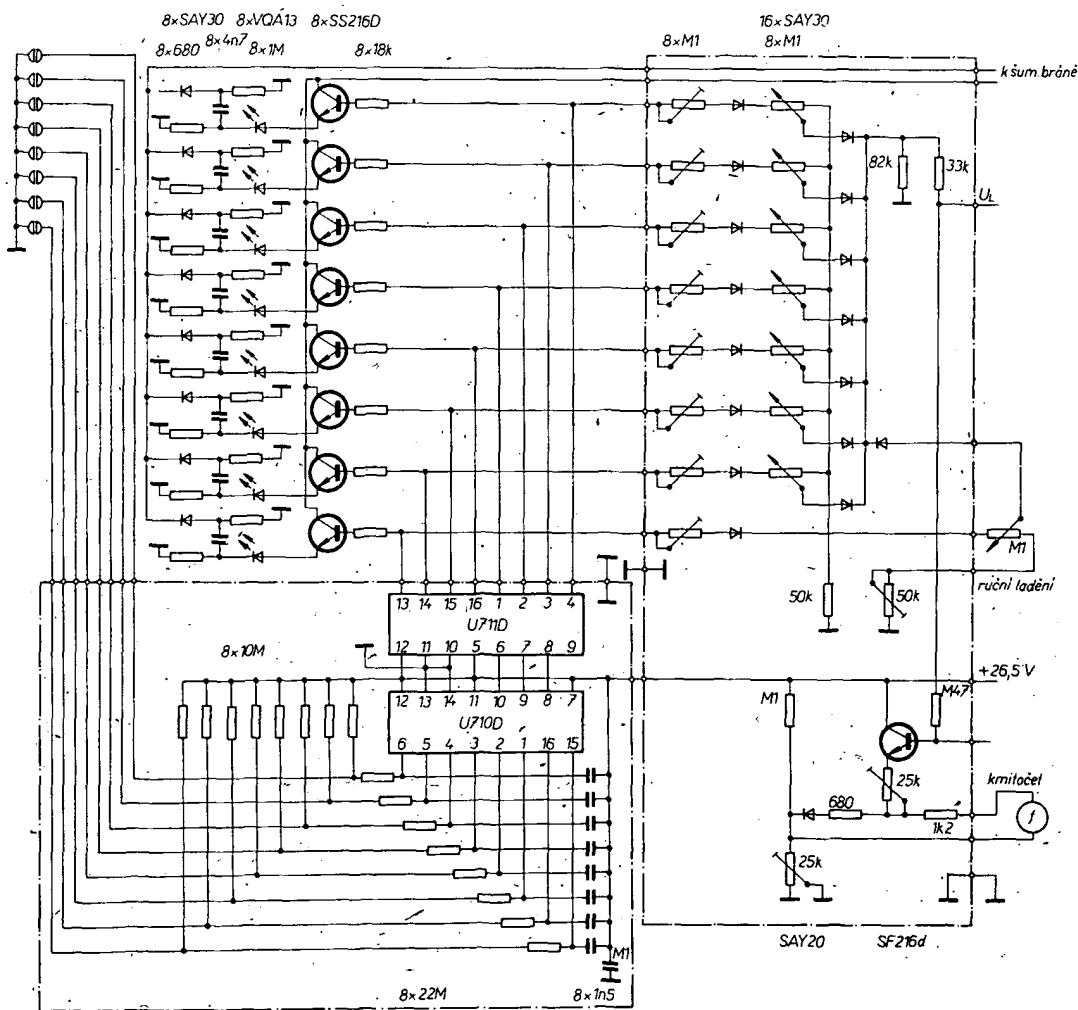


Obr. 72. Zapojení U711D

e_8 . Při tomto zapojení pracují klopné obvody paralelně. Při přivedení napětí na vstup e_8 se klopné obvody spojí do série a vytvoří kruhový čítač, který přepíná krok za krokem kanály a je ho možné ovládat impulsy z přijímače dálkového ovládání. Různé úrovně na vstupu e_{VL} při 16kanalové variantě umožňují spolupráci dvou U710D, a to podle úrovně na výstupu a_4 . Při použití jen jednoho U710D se vývod a_4 spojí se substrátem (vývod B). Po připojení napájecího napětí se obvod nastaví na první kanál. Ladicí napětí se získává v obvodu U711D.

Integrovaný obvod U711D

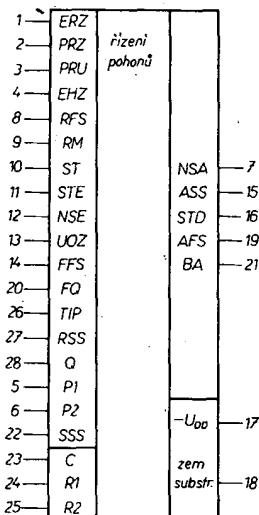
Integrovaný obvod U711D je dekodér 1 z 8 pro dekódování informace z BCD obvodu U710D. Zapojení je na obr. 72 a parametry v tab. 29. Obvod je v pouzdře DIP-16. Výstupní tranzistory spínají ladicí napětí pro vstupní díl TV nebo rozhlasového přijímače. Při sepnutí se výstupní tranzistor uzavírá. Na obr. 73 je zapojení osmikanalového elektronického přepínače z rozhlasového přijímače CARAT S s U710D a U711D. Z U711D jsou buzeny „indikační“ tranzistory, v jejich emitorech jsou svítivé diody VQA13. Diody SAY30 (vlevo) blokují tyto svítivé diody při AM. Z výstupu U711D jsou napájeny i potenciometry předvolby ladicího napětí. Tranzistor SF216d, T_{951} , kompenzuje teplotní vlivy na ladicí napětí.



Obr. 73. Osmikanalový přepínač s U710D, U711D

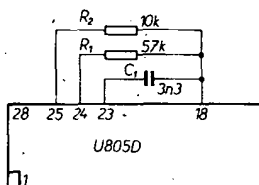
Tab. 28. Parametry U710D

Mezní údaje (0 až 70 °C)	
Napájecí napětí:	-31 až +0,3 V.
Vstupní napětí U_e :	-25 až +0,3 V.
Vstupní chybový proud při $U_e = -10$ V:	-5 μ A.
Pracovní teplota:	0 až 70 °C.
Jmenovité údaje (25 °C, $U_i = -26$ až -29 V)	
Vstupní napětí	
H: max.	-2 V.
L: min.	-9 V.
Výstupní napětí	
H při $R_e = 100$ k Ω :	max. -1 V.
H při $I_e = 1$ mA:	max. -3 V.
L při $R_e = 100$ k Ω :	min. -10 V.
L při $I_e = 1$ mA:	min. -9 V.
Odběr ze zdroje při $I_e = 0$ mA:	2,4 mA.
Šířka impulsu dálkového ovládání:	max. 10 μ s.
Délka impulsu dálkového ovládání:	min. 60 μ s.
	max. 200 μ s.



Tab. 29. Parametry U711D

Mezní údaje (0 až 70 °C)	
Napájecí napětí:	-31 až +0,3 V.
Vstupní napětí:	-25 až +0,3 V.
Proudová zatížitelnost výstupů:	3 mA.
Pracovní teplota:	0 až 70 °C.
Jmenovité údaje ($U_i = -26$ až -29 V)	
Vstupní napětí	
H: max.	-2 V.
L: min.	-9 V.
Výstupní napětí	
H při $R_e = 100$ k Ω :	max. -0,5 V.
H při $I_e = 3$ mA:	max. -2 V.
Teplotní drift výstupního napětí při 10 až 50 °C:	$R_e = 100$ k Ω : 1 mV/°C.



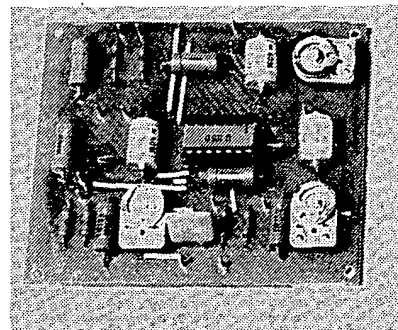
Spínací kanál a kanál zpětného hlášení jsou zapojeny jako paměti. Každý vstupní signál, který na jednu z obou pamětí působí, je zpožděně vyhodnocen. Tím je zajištěna velká šumová imunita vstupních signálů. Po připojení napájecích napětí bude paměť vynulována. Statickými signály jsou programovací vstupy po dobu potřebnou pro kontrolu doby rozběhu a doby reverzace programovány digitálně. Na výstupech jsou tranzistory, které spínají zátěž proti kladnému pólu napájecího napětí. Obvod je vhodný i pro periferní elektronické obvody ve spojení s mikroprocesorem. Jeho zapojení a měřicí obvod jsou na obr. 74 a hlavní parametry v tab. 30.

Konstrukční část

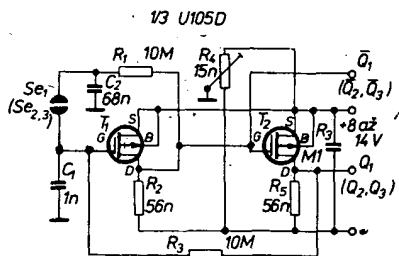
Senzorové tlačítko „Zapnuto-vypnuto“

Běžně řešené senzorové „tlačítko“ Zapnuto-vypnuto má obvykle dvě oddělená senzorová tlačítka. Při zhotovování senzorových tlačítek však mohou vzniknout obtíže, např. při nedostatku vhodného nářadí nebo

Obr. 74. Zapojení a měřicí obvod U805D (1 – start doby reverzace, 2 – programování doby reverzace, 3 – měřicí bod děliče, 4 – start doby rozběhu, 5 – programování 1. doby rozběhu, 6 – programování 2. doby rozběhu, 7 – hlášení nezpůsobilosti k provozu, výstup, 8 – nulování paměti, hlášení poruchy, 9 – vstup zpětného hlášení, 10 – vstup signálu, hlášení poruchy, 11 – vstup signálu hlášení poruchy elektrického zařízení, 12 – vstup hlášení nezpůsobilosti k provozu, 13 – vstup přepínání ORT/centrální řízení, 14 – vstup signálu, uvolňujícího nulování paměti hlášení poruchy při kvitování, 15 – výstup řídicí paměti, 16 – výstup hlášení poruchy (dynamičky), 17 – napájecí napětí, 18 – substrát (zem), 19 – výstup paměti, hlášení poruchy, 20 – uvolňovací vstup při zaznamenání poruchy, 21 – výstup povolů pro provoz, 22 – vstup pro nastavení řídicí paměti, 23 – vstup pro připojení kondenzátoru $C_1 = 3,3$ nF, 24 – vstup pro připojení odporu $R_1 = 57$ k Ω , 25 – vstup pro připojení odporu $R_2 = 10$ k Ω , 26 – vstup pro volbu typu provozu, 27 – vstup pro nulování řídicí paměti, 28 – vstup pro „kvitování“ poruch



Osazená deska s plošnými spoji senzorového tlačítka

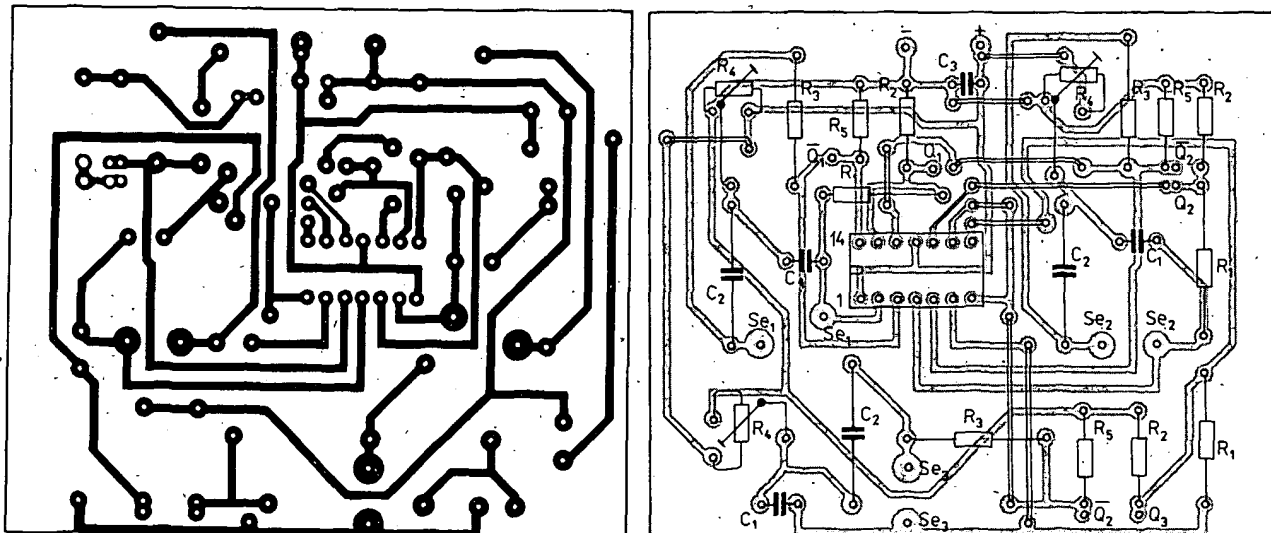


Obr. 1. Senzorová tlačítka „zapnuto“ – „vypnuto“

nedostatku místa na předním panelu. Proto byl navržen senzorový obvod, který pro funkci Zapnuto-vypnuto potřebuje jen jedno senzorové „tlačítko“. Zapojení jednoho ze tří senzorových obvodů výše uvedeného typu je na obr. 1. Obvod je tvořen pěti odpory, dvěma kondenzátory a dvěma tranzistory, které jsou součástí integrovaného obvodu U105D. Po připojení napájecího napětí se přes odpor R_4 nabíjí kondenzátory C_1 a C_2 . Odporům R_1 nastavujeme citlivost senzorového obvodu. Na výstupu Q bude 0 a na Q bude 1. Dotkneme-li se senzoru Se_1 (Se_2 , Se_3), kondenzátor C_2 se vybije přes odpor R_1 , R_2 . Kondenzátor C_1 spolu s odpory R_1 a R_2 určují časovou konstantu senzorového obvodu. Po dotyku na senzorové „tlačítko“ se na řídicí elektrodě T_1 objeví úroveň 0, na výstupu Q bude též 0 a na výstupu Q bude 1. Odporům R_3 je udržován požadovaný

Tab. 30. Parametry U805D

Mezní údaje	
Napájecí napětí U_{DD} :	-20 až 0,3 V.
Vstupní napětí U_i :	-20 až 0,3 V.
Provozní teplota:	0 až 85 °C.
Statické údaje (25 °C)	
Napájecí napětí $-U_{DD}$:	min. 13,3, typ. 15,0, max. 17,25 V.
Odběr ze zdroje ($-U_{DD} = 17,25$ V), $-I_{DD}$:	max. 20 mA.
Vstupní zbytkový proud ($-U_{DD} = -U_i = 17,25$ V), $-I_i$:	max. 50 μ A.
Vstupní napětí ($-U_{DD} = 13,3$ V, $-U_{IH} = 2,5$ V,	
$-U_{IL} = 10$ V, $-I_o = 2$ mA), $-U_{OH}$:	max. 2 V.
Výstupní zbytkový proud ($-U_o = -U_{DD} = 17,25$ V, $-U_{IH} = 2,5$ V,	
$-U_{IL} = 10$ V), $-I_{OL}$:	max. 10 μ A.
Dynamické údaje	
Kmitočet volně kmitajícího oscilátoru (1, 6):	min. 1,6, max. 3,4 kHz.



Obr. 2. Deska s plošnými spoji senzorových tlačítek (deska P217)

vaný stav na výstupech Q a \bar{Q} i po oddělení prstu od senzorového „tlačítka“. Kapacita kondenzátoru C_2 musí být vždy podstatně větší než kapacita kondenzátoru C_1 . Na obr. 2 je deska s plošnými spoji a rozmístění součástek pro tři senzorové obvody. Po změně zapojení vývodů IO je pro tyto senzorové obvody možné použít i čs. IO MH2009 nebo MH2009A.

Seznam součástek

IO	U105D (T ₁ , T ₂)
R ₁ , R ₃	TR 153, 10 MΩ
R ₂ , R ₄	TR 112, 56 kΩ
R ₅	TP 012, 15 kΩ
C ₁	TK 744, 1 nF
C ₂	TC 235, 68 nF
C ₃	TK 783, 01 μF

že nesplňovaly některé z vyhlášených podmínek. Celkový počet přihlášených konstrukcí nás opět příliš neuspokojil, neboť je to podstatně méně než v předložském konkursu. Kromě toho, až na malé výjimky, se přihlášené konstrukce nevyvíkaly z běžného průměru, i když jsme si plně vědomi obtíží, vznikajících při nutnosti použít výhradně tuzemské součástky.

Přihlášené konstrukce zhodnotila dne 5. 11. 1980 komise ve složení: doc. ing. Jiří Vackář, CSc. – předseda, Luboš Kalousek – zástupce předsedy, dr. Antonín Glanc, ing. Jiří Zima a Adrien Hofhans – členové komise.

Všechny odměny byly tentokrát všem vítězům a odměněným vyplaceny v hotovosti, protože poukázky na zboží od OP TESLA odpadly. V hotovosti budou vyplaceny i odměny příštích konkursů, což pro řadu účastníků bude patrně příjemnější, takže redakce doufá, že se letošního konkursu, jehož podmínky budou uveřejněny v AR A2/81, zúčastní více autorů.

Výsledky konkursu AR 1980

Jako každoročně, i vloni jsme vyhodnotili konkurs AR z roku 1980 a hodnotili nejlepší konstrukce. Tento konkurs vypsali náš časopis spolu s OP TESLA a konkursní podmínky (uveřejněné v AR A2/80) byly v plném rozsahu schváleny dopisem OP TESLA ze dne 23. 11. 1979, v němž byly navíc doplněny o další úkoly premiované OP TESLA.

Ve dnech, kdy byl vyhlášený konkurs prakticky uzavřen, tedy v září minulého roku, nám však OP TESLA oznámil, že od účasti v konkursu odstoupuje, protože ve smyslu nové vyhlášky, která v loňském roce vstoupila v platnost, nemůže vítězné konstrukce odměnit peněžními poukázkami podle vyhlášených konkursních podmínek.

Pracovníci redakce zahájili v této záležitosti s pracovníky OP TESLA okamžité příslušné jednání, která však nevedla k cíli. OP TESLA s odvoláním na platná zákonná nařízení odmítla konkurs dotovat jakoukoli částkou.

Abychom účastníkům konkursu zajistili závazně příslibené odměny, navázali jsme bezodkladně jednání s fakultní pobočkou Československé vědeckotechnické společnosti na elektrotechnické fakultě ČVUT, která projevila procelou záležitost mimořádné pochopení a nejenže s naší redakcí podepsala dohodu o dlouhodobé spolupráci, ale poskytla i příslušnou částku, která, spolu s částkou poskytovanou

vydavatelstvím NV, umožnila v plné míře dodržet vyhlášené konkursní podmínky.

Do závěrečného hodnocení loňského konkursu bylo zařazeno 27 konstrukcí z celkového počtu 32 konstrukcí přihlášených. Pět konstrukcí nebylo přijato proto,

KATEGORIE Ia

1. cena	neudělena	
2. cena	Tester TTL (ing. J. Šimáček)	1000,- Kčs
3. cena	Logická signalizace osvětlení automobilu (ing. M. Dvořák)	1000,- Kčs
	neudělena	

KATEGORIE Ib

1. cena	Měřič kapacit (M. Skoták)	2000,- Kčs
2. cena	Aktivní reproduktorová soustava s automatickým spínačem pro automobil (M. Vejvoda)	1000,- Kčs
3. cena	Měřič tranzistorů (ing. E. Moravec)	500,- Kčs

KATEGORIE II

1. cena	neudělena	
2. cena	Impulsní generátor (ing. K. Záchej)	1500,- Kčs
	Grafický ekvalizér (M. Chmela)	1500,- Kčs
3. cena	Konvertor pro převod pásma OIRT do CCIR (ing. J. Klábal)	1000,- Kčs

KATEGORIE III

1. cena	Signální generátor a Q-metr (RNDr. V. Brunnhofer)	3000,- Kčs
2. cena	Transceiver 160/80 m (P. Novák)	2500,- Kčs
3. cena	Tónový generátor (J. Horáček)	2000,- Kčs

Kromě toho rozhodla komise udělit navíc tyto odměny:

Automatický semafor (J. Kusala)	500,- Kčs
Logická signalizace osvětlení automobilu (ing. M. Dvořák)	500,- Kčs
Aktivní reproduktorová soustava s automatickým spínačem pro automobil (M. Vejvoda)	500,- Kčs
Termostat pro několik akvárií (P. Hložka)	500,- Kčs
Paměťový přípravek k osciloskopu (K. Spáčil)	1500,- Kčs
Elektronické stopky (Z. Zlámal)	250,- Kčs
(F. Krček)	250,- Kčs

13. ROČNÍK KONKURSU AR

Jako každoročně i letos vypisujeme další ročník konkursu na nejlepší a nejzajímavější amatérské konstrukce. V letošním ročníku však dochází k určitým změnám, které, jak doufáme, budou věci ku prospěchu.

Jak jsme již čtenářům oznámili v AR řady A, č. 1/1981, odstoupil OP TESLA od spoluúčasti na tomto konkursu. Od letošního roku bude naším partnerem fakultní pobočka Československé vědeckotechnické společnosti na elektrotechnické fakultě ČVUT. Pro účastníky konkursu bude mít nové uspořádání tu výhodu, že všechny odměny i prémie budou soutěžícím vypláceny v hotovosti a nikoli částečně v poukázkách na zboží, jak tomu bylo v dřívějších letech.

Vzhledem k této skutečnosti, i vzhledem k tomu, že se nám dosavadní kritéria pro posuzování přihlášených námětů začala jevit jako příliš zastaralá, zvolili jsme poněkud odlišnou metodu odměňování. Jako jeden z příkladů nevhodnosti a zastaralosti dosavadní koncepce může být třeba konstrukce se sedmi tranzistory, která dříve náležela jednoznačně do třetí kategorie, zatímco konstrukce se šesti integrovanými obvody, která je principiálně nesporně složitější, musela být zařazena do kategorie druhé.

Rozhodli jsme se proto napříště jednotlivé kategorie zcela vypustit a přihlášené konstrukce posuzovat výhradně z hlediska jejich původnosti, nápaditosti, technického provedení, vtipnosti a především účelnosti a použitelnosti. Přitom zdůrazňujeme, že složitost zařízení nebude v žádném případě rozhodujícím kritériem, které by konstrukci automaticky předurčovalo k zařazení do nejvyšší hodnocené třídy. To v praxi znamená, že i jednoduchá, ale vtipná a užitečná konstrukce může být odměněna nejvyšší částkou.

Konstrukce, přihlášené do letošního konkursu, budou tedy nejprve hodnoceny podle vyjmenovaných kritérií. Komise pak ty konstrukce, které budou vyhovovat, rozdělí do tří skupin na výběrné, velmi dobré a dobré. Zjednodušené řečeno, bude to obdoba způsobu, kterým se například uděluje medaile za nejlepší výrobky. Vybrané konstrukce budou tedy zařa-

zeny do 1., 2., nebo 3. skupiny a v každé této skupině odměněny stanovenou paušální částkou.

Znamená to tedy, že například do první skupiny může být, a nesporně také bude, zařazeno více konstrukcí, budou-li skutečně kvalitní a vyhoví-li konkursním požadavkům. Totéž platí samozřejmě i o dalších dvou skupinách. Redakce má pro letošní rok k dispozici dostatečnou částku, aby mohla odměnit prakticky každou konstrukci, kterou komise k ocenění doporučí.

Do konkursu budou přijímány libovolné konstrukce bez ohledu na to, zda jsou jednoduché či složitější a hodnotícími ukazateli budou vlastnosti, které jsme v úvodu vyjmenovali. V této souvislosti prosíme naše čtenáře, aby však do konkursu nezasílali takové konstrukce, které se již na první pohled zcela vymykají z možností amatérské reprodukovatelnosti, anebo takové, jejichž pořizovací náklady dosahují desítek tisícových částek.

Podmínky konkursu

1. Konkurs je neanonymní a může se ho zúčastnit každý občan ČSSR. Dokumentace musí být označena jménem a adresou a případně i dalšími údaji, které by umožnily vejít v případě potřeby s přihlášeným účastníkem co nejrychleji do styku.
2. V přihlášených konstrukcích musí být použity výhradně součástky dostupné v naší obchodní síti.
3. Přihláška do konkursu musí být zaslána na adresu redakce AR nejpozději do 15. září 1981 a musí obsahovat:
 - a) schéma zapojení,
 - b) výkresy desek s plošnými spoji,
 - c) fotografie vnitřního i vnějšího provedení, minimální rozměr 9 × 12 cm,
 - d) podrobný popis přihlášené konstrukce s technickými údaji a návodem k použití.
4. Textová část musí být napsána strojem (30 řádků po 60 úderech), výkresy mohou být na obyčejném papíře a kresleny tužkou; kuličkovou tužkou nebo jinak, ale tak, aby byly přehledné (všechny výkresy jsou v redakci překreslovány).

Výkresy i fotografie musí být očíslovány (obr. 1 atd.) a v textu na ně musí být odkazy. Na konci textové části musí být uveden seznam použitých součástek a všechny texty pod jednotlivé obrázky.

5. Přihlášeny mohou být pouze takové konstrukce, které dosud nebyly v ČSSR publikovány – redakce si přitom vyhrazuje právo jejich zveřejnění. Pokud bude konstrukce zveřejněna, bude honorována jako příspěvek bez ohledu na to, zda byla či nebyla v konkursu odměněna.
6. Neúplné, či opožděně zaslání příspěvků nemohou být zařazeny do hodnocení. Příspěvky bude hodnotit komise ustavená podle dohody pořadatelů. V případě potřeby si komise vyžádá posudky specializovaných výzkumných pracovišť. Členové komise jsou z účasti na konkursu vyloučeni.
7. Dokumentace konstrukcí, které nebudou ani odměněny, ani uveřejněny, budou na požádání vráceny.
8. Výsledek konkursu bude odměněným sdělen do 15. prosince 1981 a otištěn v AR A1/82.

Odměny

Konstrukce, které budou komisí zařazeny do jmenovaných tří skupin, budou odměněny:

1. skupina	2000,- Kčs.
2. skupina	1500,- Kčs.
3. skupina	1000,- Kčs.

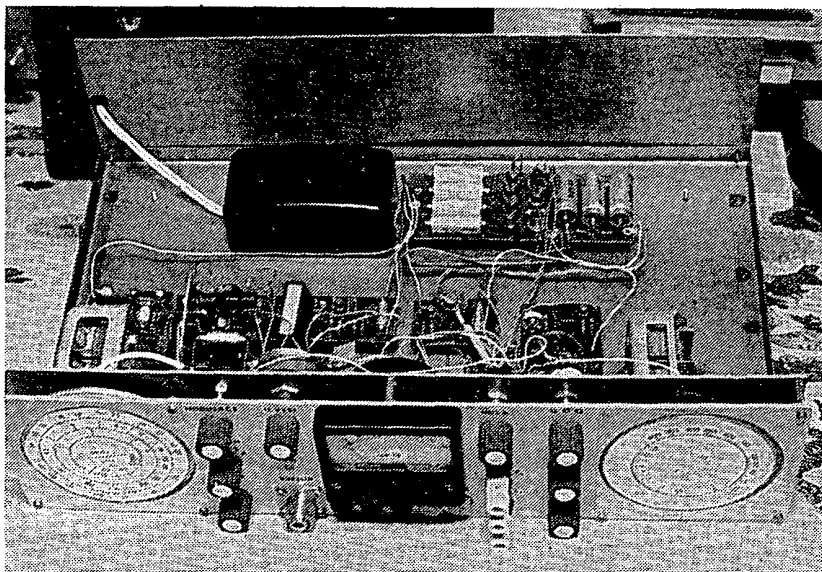
Redakce vypisuje navíc tematické úkoly (tedy vlastní požadavky na určité konstrukce), které, pokud budou úspěšně splněny, budou kromě udělených cen odměněny ještě zvláštními jednorázovými prémie v rozmezí 300,- až 1000,- Kčs.

Stejnou prémie může komise udělit i takové konstrukci, která nebude předmětem tematických úkolů, bude však jakýmkoli způsobem mimořádně zajímavá nebo společensky prospěšná.

Z toho vyplývá, že nejlepší konstrukce, anebo konstrukce, splňující požadavky tematických úkolů, mohou získat celkovou odměnu až 3000,- Kčs a tuto odměnu může pochopitelně získat nejen jedna, ale i několik konstrukcí.

Tematické úkoly vypsáné AR pro konkurs 81

1. Jednoduchý amatérský osciloskop: vertikální zesilovač může být střídavý i stejnosměrný, rozsah do 1 MHz, časová základna do 200 kHz, s obrazovkou dostupnou v naší obchodní síti. Citlivost vertikálního zesilovače alespoň 50 mV/cm.
2. Přijímač pro začátečníky pro všechna amatérská pásma KV (1,8, 3,5, 7, 10, 14, 18, 24 a 28 MHz), CW, SSB, citlivost 1 μ V, včetně mechanické dokumentace.
3. Transceiver pro amatérská pásma KV pro třídu B (výkon 75 W).
4. Jednoduché konstrukce z číslicové techniky, v nichž se používají číslicové integrované obvody. Příkladem takové konstrukce bude například titulní článek v AR A3/81.
5. Signální generátor pro AM a FM, umožňující ověřovat a nastavovat činnost rozhlasových přijímačů.
6. Aktivní reproduktorové soustavy kombinované s napěťovým řídicím předzesilovačem. Předzesilovač by měl mít co nejmenší rozměry. Výstupní výkon každého kanálu minimálně 10 W.



Vítězná konstrukce loňského konkursu AR – kategorie III – generátor a Q-metr

Celostátní fotografická soutěž na počest 30. výročí založení Svazarmu

Ústřední výbor Svazarmu ve spolupráci s Českým svazem fotografů a Slovenským zväzom fotografov vyhlasuje celostátní fotografickou soutěž na počest 30. výročí založení Svazarmu (4. 11. 1951).

Účelem soutěže je popularizovat poslání a mnohostrannou činnost zejména základních organizací Svazarmu ve spojitosti s cíli a úkoly, které ve smyslu závěrů XV. sjezdu KSČ a JSBVO ČSSR vytyčil XI. sjezd Svazarmu.



Podmínky soutěže

1. V soutěži budou zvláště hodnoceni profesionálové a amatéři.

2. Soutěž má 2 kategorie:

- a) černobílá fotografie (pozitivní kopie),
- b) barevné diapositivy.

3. Do hodnocení budou pojaty ty práce autorů, kteří je do 15. 9. 1981 zašlou na adresu: ÚV Svazarmu, politickovýchovné oddělení, Opletalova 29, 116 31 Praha 1, s označením „FOTO-SOUTĚŽ“

a) v kategorii černobílé fotografie nejvýše 20 jednotlivých černobílých, lesklých, dosud neuveřejněných fotografií nebo fotoseriálů obsahujících nejvýše 5 fotografií formátu výhradně 18 x 24 cm,

b) v kategorii barevných diapositivů nejvýše 20 jednotlivých, dosud neuveřejněných diapositivů nebo fotoseriálů obsahujících nejvýše 5 diapositivů.

4. Ze soutěžních snímků, které musí být pořízeny nejpozději v roce 1979, musí být zřejmé, že jde o činnost nebo akce Svazarmu.

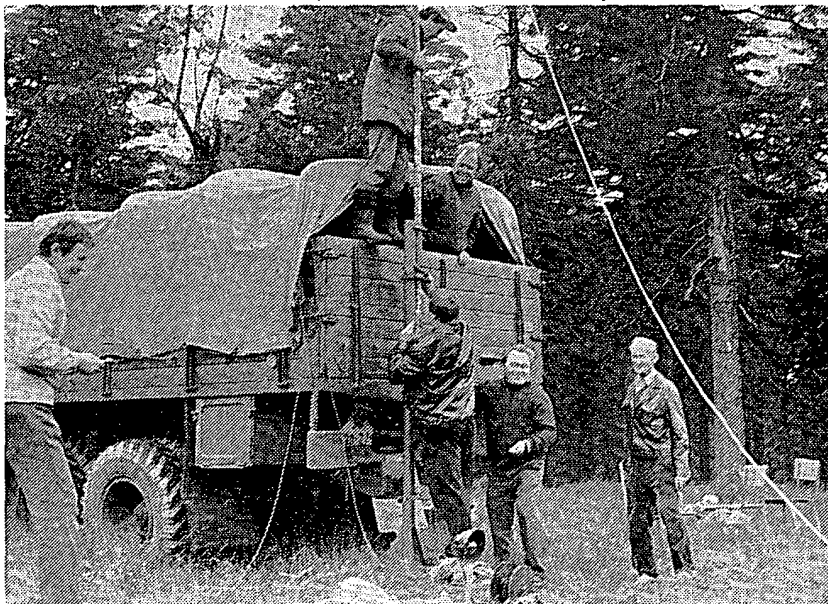
5. Černobílé fotografie musí být na zadní straně označeny jménem a úplnou adresou autora, obsahovat dále údaje o místě a době pořízení snímku a stručný popis jeho obsahu s poznámkou, zdali jde o amatéra nebo profesionála. Barevné diapositivy musí být v rámečcích 5 x 5 a 7 x 7 cm. U větších formátů se rámeček nevyžaduje, musí být uloženy jednotlivě v obálkách obsahujících tytéž údaje jako fotografie černobílé.

6. Převzetí do soutěže zadaných prací pořadatel písemně potvrdí.

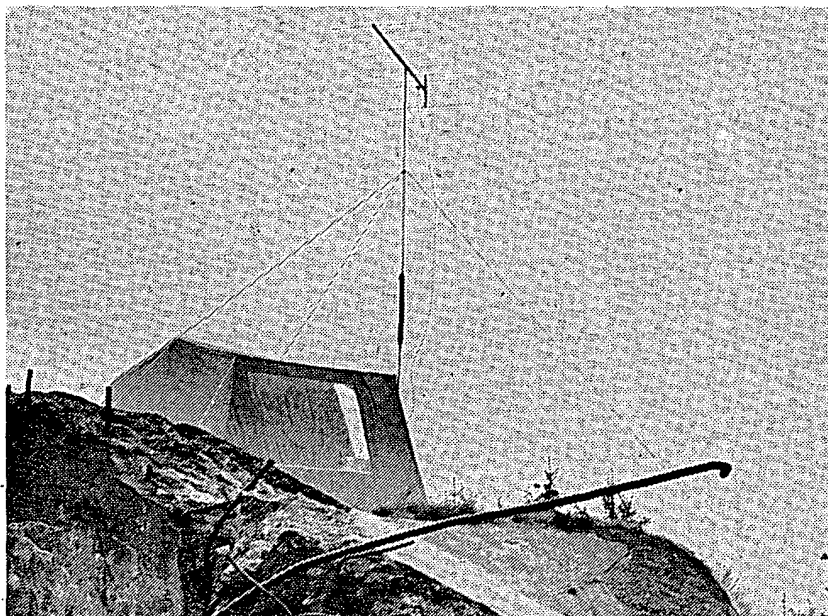
7. Pořadatel vrátí autorovi do 2 měsíců ty práce, které nebyly oceněny ani za příslušnou úhradu ponechány v archivu ústředního výboru Svazarmu. Oceněné snímky se stávají majetkem ÚV Svazarmu.

8. Pořadatel soutěže si vyhrazuje právo uspořádat z vyhodnocených fotografií výstavu, oceněné snímky publikovat a další vybrané neoceněné snímky si ponechat za zákonnou úhradu a se zachováním autorských práv k případnému pozdějšímu publikování.

9. Vyhláষovatelé nepřebírají odpovědnost za ztrátu či poškození zásilek během dopravy.



Stavba antény pro Polní den (OK1KCI)



Polní den na vrcholu Orlických hor (OK1KPP)

POZOR!

V AR řady B, č. 1/1981, si opravte na obr. 59 na str. 39: spodní konec potenciometru P_1 má být připojen na 0 V, nikoli na rozvod kladného napětí. Stejně tak má být na 0 V připojen odpor R_4 . Na desce s plošnými spoji jsou obě součástky zapojeny správně. Na obr. 57 (str. 38) mají C_{10} kapacitu 1,5 pF a C_6 6,8 až 8,2 pF.